

(19)日本特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-223681

(P2000-223681A)

(43)公開日 平成12年8月11日 (2000.8.11)

(51)Int.Cl.⁷
H 01 L 27/12
C 25 D 11/32
H 01 L 21/265
21/306

識別記号

F I
H 01 L 27/12
C 25 D 11/32
H 01 L 21/265
21/306

テマコード* (参考)
B 5 F 0 4 3
W
B

審査請求 未請求 請求項の数66 ○L (全 31 頁)

(21)出願番号

特願平11-25481

(71)出願人 000001007

キヤノン株式会社
東京都大田区下丸子3丁目30番2号

(22)出願日

平成11年2月2日 (1999.2.2)

(72)発明者 坂口 清文

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 近江 和明

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人 100076428

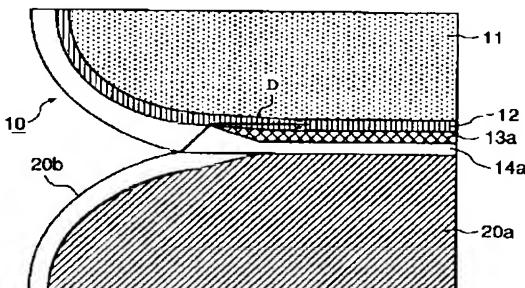
弁理士 大塚 康徳 (外2名)

(54)【発明の名称】 基板及びその製造方法

(57)【要約】

【課題】多孔質層を有する第1の基板と第2の基板とを貼り合わせて貼り合わせ基板を作成し、該貼り合わせ基板を基板を多孔質層の部分で2枚の基板に分離してSOL基板を製造する方法において、分離工程における欠陥の発生を防止する。

【解決手段】内部に多孔質層12を有し、その上に単結晶Si層を有し、その上にSiO₂層を有する第1の基板10と第2の基板20とを貼り合わせ、その後、その基板の外周部を酸化させることにより、単結晶Si層の外周端を内部方向に後退させ、単結晶Si層13aの外周端が貼り合わせ領域の外周端よりも内側に位置する貼り合わせ基板を作成し、その後、該貼り合わせ基板を多孔質層12の部分で2枚の基板に分離する。



【特許請求の範囲】

【請求項1】 貼り合わせ基板の製造方法であって、内部に多孔質層を有し、その上に第1の層を有し、その上に更に第2の層を有する第1の基板を作成する第1工程と、前記第1の基板の主面と第2の基板とを貼り合せて、貼り合わせ基板を作成する第2工程と、前記貼り合わせ基板に化学的処理を施すことにより、前記第1の層の外周端の少なくとも一部を前記貼り合わせ基板の内部方向に後退させる第3工程と、を含むことを特徴とする貼り合わせ基板の製造方法。

【請求項2】 前記第3工程では、前記貼り合わせ基板の前記第1の層の外周端の少なくとも一部が、前記第1の基板と前記第2の基板とが貼り合わされている領域の外周端又はそれよりも内側に位置する構造が得られるよう、前記貼り合わせ基板に化学的処理を施すことを特徴とする請求項1に記載の貼り合わせ基板の製造方法。

【請求項3】 前記第3工程は、前記第2工程により作成された貼り合わせ基板の前記第1の層の外周部の少なくとも一部を酸化させる工程を含むことを特徴とする請求項1又は請求項2に記載の貼り合わせ基板の製造方法。

【請求項4】 前記第3工程は、前記第2工程により作成された貼り合わせ基板の前記第1の層の外周端の少なくとも一部をエッチングする工程を含むことを特徴とする請求項1又は請求項2に記載の貼り合わせ基板の製造方法。

【請求項5】 前記第1の層は、半導体層であることを特徴とする請求項1乃至請求項4のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項6】 前記第1の層は、Si層であることを特徴とする請求項1乃至請求項4のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項7】 前記第1の層は、単結晶Si層であることを特徴とする請求項1乃至請求項4のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項8】 前記第1の層は、化合物半導体層であることを特徴とする請求項1、請求項2及び請求項4のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項9】 前記第1工程は、Si基板に陽極化処理を施すことにより前記多孔質層を形成する工程を含むことを特徴とする請求項1乃至請求項8のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項10】 前記第1工程は、Si基板にイオンを注入することにより前記多孔質層を形成する工程を含むことを特徴とする請求項1乃至請求項8のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項11】 前記第1の層はSi層であり、前記第2の層は、SiO₂層であることを特徴とする請求項1乃至請求項4のいずれか1項に記載の貼り合わせ基板の

製造方法。

【請求項12】 前記第1工程は、前記多孔質層の上に前記第1の層としてのSi層を形成する工程と、前記Si層の表面を熱酸化させることにより、前記Si層上に前記第2の層としてのSiO₂層を形成する工程と、を含むことを特徴とする請求項1乃至請求項4のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項13】 前記第2の基板は、Si基板、又は、Si基板の表面にSiO₂層を形成した基板であることを特徴とする請求項1乃至請求項12のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項14】 前記第2の基板は、光透過性基板又は絶縁性基板であることを特徴とする請求項1乃至請求項12のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項15】 貼り合わせ基板の製造方法であって、内部に多孔質層を有し、該多孔質層の上の所定領域に第1の層を有し、更に該第1の層の上の他側壁の少なくとも一部を覆う第2の層を有する第1の基板を作成する第1工程と、

前記第1の基板の主面と第2の基板とを貼り合せて貼り合わせ基板を作成する第2工程と、を含むことを特徴とする貼り合わせ基板の製造方法。

【請求項16】 前記第1の工程では、前記第2の工程の後に、前記第1の層の外周端の少なくとも一部が前記第1の基板と前記第2の基板とが貼り合わされている領域の外周端よりも内側に位置する構造を有する貼り合わせ基板が得られるよう、前記第1の層及び第2の層を形成することを特徴とする請求項15に記載の貼り合わせ基板の製造方法。

【請求項17】 前記第1工程は、前記多孔質層の上の略全面に所定の材料からなる層を形成し、それをパタニングすることにより、前記第1の層を形成する工程を含むことを特徴とする請求項15又は請求項16に記載の貼り合わせ基板の製造方法。

【請求項18】 前記第1の工程は、前記多孔質層の上に所定形状を有する前記第1の層を成長させる工程を含むことを特徴とする請求項16に記載の貼り合わせ基板の製造方法。

【請求項19】 前記第1の層は、半導体層であることを特徴とする請求項15乃至請求項18のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項20】 前記第1の層は、Si層であることを特徴とする請求項15乃至請求項18のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項21】 前記第1の層は、単結晶Si層であることを特徴とする請求項15乃至請求項18のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項22】 前記第1の層は、化合物半導体層であることを特徴とする請求項15乃至請求項18のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項23】 前記第1工程は、S i 基板に陽極化成処理を施すことにより前記多孔質層を形成する工程を含むことを特徴とする請求項15乃至請求項22のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項24】 前記第1の層はS i 層であり、前記第2の層は、S i O₂層であることを特徴とする請求項15乃至請求項18のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項25】 前記第1の工程は、
前記多孔質層上に前記第1の層としてのS i 層を形成する工程と、
前記S i 層が形成された基板の表面を熱酸化させることにより、前記第2の層としてのS i O₂層を形成する工程と、
を含むことを特徴とする請求項15乃至請求項18のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項26】 前記第2の基板は、S i 基板、又は、S i 基板の表面にS i O₂層を形成した基板であることを特徴とする請求項15乃至請求項25のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項27】 前記第2の基板は、光透過性基板又は絶縁性基板であることを特徴とする請求項15乃至請求項25のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項28】 貼り合わせ基板の製造方法であって、内部に多孔質層を有し、該多孔質層の外周部以外の部分の上に第1の層を有し、更に該第1の層の上を覆う第2の層を有する第1の基板を作成する第1工程と、
前記第1の基板の主面と第2の基板とを貼り合わせて貼り合わせ基板を作成する第2工程と、
を含むことを特徴とする貼り合わせ基板の製造方法。

【請求項29】 前記第1工程では、前記第1の層の外周端の位置と前記第2の層の外周端の位置とが略一致した構造を有する第1の基板を作成することを特徴とする請求項28に記載の貼り合わせ基板の製造方法。

【請求項30】 前記第1工程は、
前記多孔質層の上の略全面に第1材料からなる下層を形成する工程と、
前記下層の上の略全面に第2材料からなる上層を形成する工程と、
前記上層の外周部を除去して前記第2の層を形成する工程と、
前記第2の層をマスクパターンとして前記下層の外周部を除去して前記第1の層を形成する工程と、
を含むことを特徴とする請求項28又は請求項29に記載の貼り合わせ基板の製造方法。

【請求項31】 前記第1工程は、

前記多孔質層の上の略全面にS i 層を形成する工程と、前記S i 層が形成された基板の表面を熱酸化させることによりS i O₂層を形成する工程と、

前記S i O₂層の外周部を除去して前記第2の層を形成する工程と、

前記第2の層をマスクパターンとして前記S i 層の外周部を除去して前記第1の層を形成する工程と、
を含むことを特徴とする請求項28又は請求項29に記載の貼り合わせ基板の製造方法。

【請求項32】 前記第2工程により作成された貼り合わせ基板に化学的処理を施すことにより、前記第1の層の外周端の少なくとも一部を、前記第1の基板と前記第2の基板とが貼り合わされている領域の外周端又はそれよりも内側に位置させる第3工程を更に含むことを特徴とする請求項28乃至請求項32のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項33】 前記第3工程では、前記第2工程により作成された貼り合わせ基板の外周部を酸化させる工程を含むことを特徴とする請求項32に記載の貼り合わせ基板の製造方法。

【請求項34】 前記第1の層は、半導体層であることを特徴とする請求項28乃至請求項30のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項35】 前記第1の層は、S i 層であることを特徴とする請求項28乃至請求項30のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項36】 前記第1の層は、単結晶S i 層であることを特徴とする請求項28乃至請求項30のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項37】 前記第1の層は、化合物半導体層であることを特徴とする請求項28乃至請求項30のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項38】 前記第1工程は、S i 基板に陽極化成処理を施すことにより前記多孔質層を形成する工程を含むことを特徴とする請求項28乃至請求項35のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項39】 前記第2の基板は、S i 基板、又は、S i 基板の表面にS i O₂層を形成した基板であることを特徴とする請求項28乃至請求項38のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項40】 前記第2の基板は、光透過性基板又は絶縁性基板であることを特徴とする請求項28乃至請求項38のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項41】 貼り合わせ基板の製造方法であって、内部に多孔質層を有し、その上に第1の層を有する第1の基板を作成する第1工程と、
前記第1の基板の主面と第2の基板とを貼り合わせて、貼り合わせ基板を作成する第2工程と、
前記貼り合わせ基板に化学的処理を施すことにより、前

記第1の層の外周端の少なくとも一部を前記貼り合わせ基板の内部方向に後退させる第3工程と、を含むことを特徴とする貼り合わせ基板の製造方法。

【請求項42】 前記第3工程は、前記第2工程により作成された貼り合わせ基板の前記第1の層の外周部の少なくとも一部を酸化させる工程を含むことを特徴とする請求項41に記載の貼り合わせ基板の製造方法。

【請求項43】 前記第3工程は、前記第2工程により作成された貼り合わせ基板の前記第1の層の外周部の少なくとも一部をエッチングする工程を含むことを特徴とする請求項41に記載の貼り合わせ基板の製造方法。

【請求項44】 貼り合わせ基板の製造方法であって、内部に多孔質層を有し、該多孔質層の外周部以外の部分の上に第1の層を有する第1の基板を作成する第1工程と、前記第1の基板の正面と第2の基板とを貼り合わせる工程と、

を含むことを特徴とする貼り合わせ基板の製造方法。

【請求項45】 基板の製造方法であって、

請求項1乃至請求項44のいずれか1項に記載の貼り合わせ基板の製造方法により貼り合わせ基板を作成する工程と、

作成された貼り合わせ基板を前記多孔質層の部分で2枚の基板に分離する工程と、

を含むことを特徴とする基板の製造方法。

【請求項46】 前記分離工程により分離された2枚の基板のうち第2の基板側の表面に残留する多孔質層を除去する工程を更に含むことを特徴とする請求項45に記載の基板の製造方法。

【請求項47】 前記分離工程により分離された2枚の基板のうち第1の基板側に残留する多孔質層を除去し再利用可能にする工程を更に含むことを特徴とする請求項45又は請求項46に記載の基板の製造方法。

【請求項48】 前記分離工程では、前記貼り合わせ基板の貼り合わせ面付近に向けて流体を噴射し、該流体により前記貼り合わせ基板を前記多孔質層の部分で2枚の基板に分離することを特徴とする請求項45乃至請求項47のいずれか1項に記載の基板の製造方法。

【請求項49】 請求項1乃至請求項44のいずれか1項に記載の貼り合わせ基板の製造方法により製造される貼り合わせ基板と実質的に同一の構造を有する貼り合わせ基板。

【請求項50】 内部に多孔質層を有し、その上に第1の層を有し、その上に更に第2の層を有する第1の基板の正面と第2の基板とを貼り合わせた構造を有する貼り合わせ基板であって、前記貼り合わせ基板の外周部の少なくとも一部の部分において、前記第1の層の外周端が、前記貼り合わせ基板の外周端から内部に向かって所定距離以上奥に位置することを特徴とする貼り合わせ基板。

【請求項51】 内部に多孔質層を有し、その上に第1の層を有し、その上に更に第2の層を有する第1の基板の正面と第2の基板とを貼り合わせた構造を有する貼り合わせ基板であって、

前記貼り合わせ基板の外周部の少なくとも一部の部分において、前記第1の層の外周端が、前記第2の層の外周端又はそれよりも内側に位置することを特徴とする貼り合わせ基板。

【請求項52】 内部に多孔質層を有し、その上に第1の層を有し、その上に更に第2の層を有する第1の基板の正面と第2の基板とを貼り合わせてなる貼り合わせ基板であって、

前記貼り合わせ基板の外周部の少なくとも一部の部分において、前記第1の層の外周端が、前記第1の基板と前記第2の基板とが貼り合わされている領域の外周端又はそれよりも内側に位置することを特徴とする貼り合わせ基板。

【請求項53】 内部に多孔質層を有し、その上に第1の層を有する第1の基板の正面と第2の基板とを貼り合わせた構造を有する貼り合わせ基板であって、

前記貼り合わせ基板の外周部の少なくとも一部の部分において、前記第1の層の外周端が、前記貼り合わせ基板の外周端から内部に向かって所定距離以上奥に位置することを特徴とする貼り合わせ基板。

【請求項54】 貼り合わせ基板の製造方法であって、内部に多孔質層を有し、その上に第1の層を有し、その上に更に第2の層を有する第1の基板の正面と第2の基板とを貼り合せた貼り合わせ基板に化学的処理を施し、これにより、前記第1の層の外周端の少なくとも一部を前記貼り合わせ基板の内部方向に後退させる処理工程を含むことを特徴とする貼り合わせ基板の製造方法。

【請求項55】 前記処理工程では、前記貼り合わせ基板の前記第1の層の外周端の少なくとも一部が、前記第1の基板と前記第2の基板とが貼り合わされている領域の外周端又はそれよりも内側に位置する構造が得られるよう、前記貼り合わせ基板に化学的処理を施すことを特徴とする請求項54に記載の貼り合わせ基板の製造方法。

【請求項56】 前記処理工程は、前記第2工程により作成された貼り合わせ基板の前記第1の層の外周部の少なくとも一部を酸化させる工程を含むことを特徴とする請求項54又は請求項55に記載の貼り合わせ基板の製造方法。

【請求項57】 前記処理工程は、前記第2工程により作成された貼り合わせ基板の前記第1の層の外周端の少なくとも一部をエッチングする工程を含むことを特徴とする請求項54又は請求項55に記載の貼り合わせ基板の製造方法。

【請求項58】 前記第1の層は、半導体層であることを特徴とする請求項54乃至請求項57のいずれか1項

に記載の貼り合わせ基板の製造方法。

【請求項59】 前記第1の層は、Si層であることを特徴とする請求項54乃至請求項57のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項60】 前記第1の層は、単結晶Si層であることを特徴とする請求項54乃至請求項57のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項61】 前記第1の層は、化合物半導体層であることを特徴とする請求項54、請求項55及び請求項57のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項62】 前記第1の基板の多孔質層は、Si基板に陽極化成処理を施すことにより形成された多孔質層であることを特徴とする請求項54乃至請求項61のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項63】 前記第1の基板の多孔質層は、Si基板にイオンを注入することにより形成された多孔質層であることを特徴とする請求項54乃至請求項61のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項64】 前記第1の層はSi層であり、前記第2の層は、SiO₂層であることを特徴とする請求項54乃至請求項57のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項65】 前記第2の基板は、Si基板、又は、Si基板の表面にSiO₂層を形成した基板であることを特徴とする請求項54乃至請求項64のいずれか1項に記載の貼り合わせ基板の製造方法。

【請求項66】 前記第2の基板は、光透過性基板又は絶縁性基板であることを特徴とする請求項54乃至請求項64のいずれか1項に記載の貼り合わせ基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、貼り合わせ基板及びその製造方法、並びに該貼り合わせ基板を利用してSOI基板等の基板を製造する方法に関する。

【0002】

【従来の技術】絶縁層上に単結晶Si層を有する基板として、SOI (silicon on insulator)構造を有する基板 (SOI基板)が知られている。このSOI基板を採用したデバイスは、通常のSi基板では到達し得ない数々の優位点を有する。この優位点としては、例えば、以下のものが挙げられる。

(1) 誘電体分離が容易で高集積化に適している。

(2) 放射線耐性に優れている。

(3) 浮遊容量が小さく、素子の動作速度の高速化が可能である。

(4) ウェル工程が不要である。

(5) ラッチアップを防止できる。

(6) 薄膜化による完全な空乏型電界効果トランジスタ

の形成が可能である。

【0003】SOI構造は、上記のような様々な優位点を有するため、ここ数十年、その形成方法に関する研究が進められている。

【0004】SOI技術としては、古くは、単結晶サファイア基板上にSiをCVD (化学気相成長)法でヘテロエピタキシ成長させて形成するSOS (silicon on sapphire)技術が知られている。このSOS技術は、最も成熟したSOI技術として一応の評価を得たものの、Si層と下地のサファイア基板との界面における格子不整合による大量の結晶欠陥の発生、サファイア基板を構成するアルミニウムのSi層への混入、基板の価格、大面積化への遅れ等により実用化が進んでいない。

【0005】比較的近年には、サファイア基板を使用せずにSOI構造を実現しようという試みがなされている。この試みは、次の2つの方法に大別される。

【0006】第1の方法は、Si単結晶基板の表面を酸化した後に、その酸化膜 (SiO₂層)に窓を形成することによりSi基板を部分的に表出させ、その部分をシードとして横方向へ単結晶Siをエピタキシャル成長させて、これによりSiO₂上にSi単結晶層を形成する方法である (この方法では、SiO₂層上にSi層を堆積させる)。

【0007】第2の方法は、Si単結晶基板そのものを活性層として使用し、その下部にSiO₂層を形成する方法である (この方法では、Si層を堆積させない)。

【0008】上記の第1の方法を実現する手段として、CVD法により直接的に単結晶Si層から横方向に単結晶Siをエピタキシャル成長させる方法 (CVD法)、非晶質Siを堆積して熱処理により固相横方向エピタキシャル成長させる方法 (固相成長法)、非晶質或いは多結晶Si層に電子線やレーザー光等のエネルギービームを収束させて照射して溶融再結晶によりSiO₂層上に単結晶Si層を成長させる方法 (ビームアニール法)、棒状ヒータにより帯状に溶融領域を走査する方法 (Zone Melting Recrystallization法)が知られている。

【0009】これらの方法にはそれぞれ一長一短があるが、その制御性、生産性、均一性、品質に多大の問題を残しており、未だに、工業的に実用化されたものはない。例えば、CVD法では、平坦化・薄膜化するために犠牲酸化が必要となり、固相成長法では結晶性が悪い。また、ビームアニール法では、収束ビームを走査するのに要する処理時間、ビームの重なり具合や焦点調整などの制御性に問題がある。このうち、Zone Melting Recrystallization法が最も成熟しており、比較的大規模な集積回路が試作されているが、亜粒界等の結晶欠陥が多数残留するという問題があり、少数キャリヤデバイスを作成するまでに至っていない。

【0010】上記の第2の方法、すなわち、Si基板をエピタキシャル成長のシードとして用いない方法として

は、次の4つの方法が挙げられる。

【0011】第1に、異方性エッティングによりV型の溝が表面に形成された単結晶Si基板に酸化膜を形成し、該酸化膜上に単結晶Si基板の厚さと同程度の厚さの多結晶Si層を堆積させた後に、単結晶Si基板の裏面から単結晶Siを研磨することによって、厚い多結晶Si層上にV溝に囲まれて誘電分離されたSi単結晶領域を有する基板を形成する方法がある。この方法では、結晶性が良好な基板を形成することができるが、多結晶Siを数百ミクロンも厚く堆積する工程や、単結晶Si基板を裏面から研磨して分離されたSi活性層を残す工程に関して、制御性や生産性の問題がある。

【0012】第2に、SIMOX (Separation by Ion Implanted Oxygen) 法がある。この方法は、単結晶Si基板中に酸素イオンを注入することによりSiO₂層を形成する方法である。この方法では、基板の内部にSiO₂層を形成するために、10¹⁸ (ions/cm²) 以上の酸素イオンを注入する必要があり、その注入時間が長大であるため生産性が低い。また、製造コストが高い。更に、多数の結晶欠陥が生じるため、少数キャリヤデバイスを作製するための充分な品質に至っていない。

【0013】第3に、多孔質Siの酸化による誘電体分離によりSOI構造を形成する方法がある。この方法は、プロトンイオン注入 (イマイ他, J. Crystal Growth, vol. 63, 547 (1983)) により、若しくは、エピタキシャル成長工程及びパターニング工程により、P型単結晶Si基板の表面にN型Si層を島状に形成し、この基板をHF溶液中で陽極化成することにより、このN型Si島を囲むようにP型Si基板のみを多孔質化した後に、増速酸化によりN型Si島を誘電体分離する方法である。この方法では、分離すべきSi領域をデバイス工程の前に決定する必要があるため、デバイス設計の自由度を制限する点において問題がある。

【0014】第4に、単結晶Si基板を、熱酸化した別の単結晶Si基板に、熱処理又は接着剤により貼り合わせて、SOI構造を形成する方法がある。この方法では、デバイスを形成するための活性層を均一に薄膜化する必要がある。すなわち、数百ミクロンもの厚さを有する単結晶Si基板をミクロンオーダー或いはそれ以下に薄膜化する必要がある。

【0015】薄膜化の方法としては、研磨による方法と、選択エッティングによる方法とがある。

【0016】研磨による方法では、単結晶Siを均一に薄膜化することが困難である。特にサブミクロンオーダーへの薄膜化では、ばらつきが数十%になる。ウェハの大口径化が進めば、その困難性は増す一方である。

【0017】選択エッティングによる方法は、均一な薄膜化という点では有効であるが、選択比が10²程度しか得られない点、エッティング後の表面性が悪い点、SOI

層の結晶性が悪い点で問題がある。

【0018】ところで、ガラスに代表される光透過性基板は、受光素子であるコンタクトセンサや投影型液晶表示装置を構成する上で重要である。そして、センサや表示装置の画素（絵素）をより一層、高密度化、高解像度化、高精細化するには、高性能の駆動素子が必要となる。そこで、光透過性基板上に優れた結晶性を有する単結晶Si層を形成する技術が求められている。

【0019】しかしながら、ガラスに代表される光透過性基板上にSi層を堆積した場合、そのSi層は、非晶質若しくは多結晶にしかならない。これは、光透過性基板の結晶構造が非晶質であり、その上に形成されるSi層が、光透過性基板の結晶構造の無秩序性を反映するためである。

【0020】本出願人は、特開平5-21338号において、新たなSOI技術を開示した。この技術は、単結晶Si基板に多孔質層を形成し、その上に非多孔質層単結晶層を形成した第1の基板を、絶縁層を介して第2の基板に貼り合わせ、その後、貼り合わせ基板を多孔質層で2枚に分離することにより、第2の基板に非多孔質単結晶層を移し取るものである。この技術は、SOI層の膜厚均一性が優れていること、SOI層の結晶欠陥密度を低減し得ること、SOI層の表面平坦性が良好であること、高価な特殊仕様の製造装置が不要であること、数100Å～10μm程度の範囲のSOI膜を有するSOI基板を同一の製造装置で製造可能など等の点で優れている。

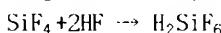
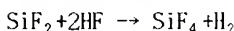
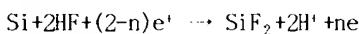
【0021】更に、本出願人は、特開平7-302889号において、第1の基板と第2の基板とを貼り合わせた後に、第1の基板を破壊することなく第2の基板から分離し、その後、分離した第1の基板の表面を平滑化して再度多孔質層を形成し、これを再利用する技術を開示した。この技術は、第1の基板を無駄なく使用できるため、製造コストを大幅に低減することができ、製造工程も単純であるという優れた利点を有する。

【0022】貼り合わせた基板を第1及び第2の基板の双方を破壊することなく2枚に分離する方法としては、例えば、貼り合わせ面に対して垂直な方向に力が加わるようにして両基板を互いに反対方向に引っ張る方法、貼り合わせ面に対して平行に剪断応力を加える方法（例えば、貼り合わせ面に平行な面内で両基板を互いに反対方向に移動させる方法や、円周方向に力が加わるようにして両基板を反対方向に回転させる方法など）、貼り合わせ面に対して垂直な方向に加圧する方法、分離領域に超音波などの波動エネルギーを印加する方法、分離領域に対して貼り合わせ基板の側面側から貼り合わせ面に平行に剥離用部材（例えばナイフのような鋭利なブレード）を挿入する方法、分離領域として機能する多孔質層に染み込ませた物質の膨張エネルギーを利用する方法、分離領域として機能する多孔質層を貼り合わせ基板の側面か

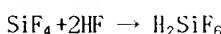
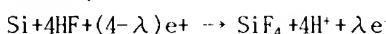
ら熱酸化することにより、該多孔質層を体積膨張させて分離する方法、分離領域として機能する多孔質層を貼り合わせ基板の側面から選択的にエッチングして分離する方法などがある。

【0023】多孔質Siは、Uhli等によって1956年に半導体の電解研磨の研究過程において発見された(A.Uhli, Bell Syst. Tech. J., vol. 35, 333(1956))。多孔質Siは、Si基板をHF溶液中で陽極化成(Anodization)することにより形成することができる。

【0024】ウナガミ等は、陽極化成におけるSiの溶解反応を研究し、HF溶液中のSiの陽極反応には正孔が必要であり、その反応は、次の通りであると報告している(T. J. Electrochem. Soc., vol. 127, 476(1980))。



または、



ここで、 e^+ および e^- は、それぞれ正孔と電子を表している。また、nおよび入は、それぞれSiの1原子が溶解するために必要な正孔の数であり、 $n > 2$ 又は $\lambda > 4$ なる条件が満たされた場合に多孔質Siが形成されるとしている。

【0025】以上のことから、正孔の存在するP型Siは多孔質化されるが、N型Siは多孔質化されないと考えることができる。この多孔質化における選択性は長野等及び今井によって報告されている(長野、中島、安野、大中、梶原、電子通信学会技術研究報告、vol. 79, SSD79-9549(1979)) (K. Imai, Solid-State Electronics, vol. 124, 159(1981))。

【0026】しかしながら、高濃度のN型Siであれば多孔質化されるとの報告もある(R.P. Holmstrom and J. Y. Chi, Appl. Phys. Lett., vol. 42, 386(1983))。したがって、P型、N型の別にこだわらず、多孔質化が可能な基板を選択することが重要である。

【0027】多孔質層を形成する方法としては、上記の陽極化成法の他に、例えば、シリコン基板中にイオンを打ち込む方法がある。

【0028】

【発明が解決しようとする課題】例えば、特開平5-21338号に記載された方法、即ち、多孔質層の上にSi単結晶層等の非多孔質層を有する第1の基板を絶縁層を介して第2の基板に貼り合わせてなる基板(以下、貼り合わせ基板)を該多孔質層の部分で分離し、これにより、第1の基板側に形成された非多孔質層を第2の基板に移し取る方法においては、貼り合わせ基板を分離する技術が極めて重要である。

【0029】例えば、貼り合わせ基板の分離の際に、分離用の層である多孔質層以外の部分で貼り合わせ基板が

分離されると、例えば、活性層とすべき非多孔質層(例えば、単結晶Si層)等が破壊され、所望のSOI基板が得られない。

【0030】本発明は、上記の背景に鑑みてなされたものであり、例えば、多孔質層で適切に分離することができる貼り合わせ基板及びその製造方法、並びに該貼り合わせ基板を利用したSOI基板等の基板の製造方法を提供することを目的とする。

【0031】

【課題を解決するための手段】本発明の第1の側面に係る貼り合わせ基板の製造方法は、内部に多孔質層を有し、その上に第1の層を有し、その上に更に第2の層を有する第1の基板を作成する第1工程と、前記第1の基板の正面と第2の基板とを貼り合せて、貼り合わせ基板を作成する第2工程と、前記貼り合わせ基板に化学的処理を施すことにより、前記第1の層の外周端の少なくとも一部を前記貼り合わせ基板の内部方向に後退させる第3工程とを含むことを特徴とする。

【0032】本発明の第1の側面に係る貼り合わせ基板の製造方法において、第3工程では、例えば、前記貼り合わせ基板の前記第1の層の外周端の少なくとも一部が、前記第1の基板と前記第2の基板とが貼り合わされている領域の外周端又はそれよりも内側に位置する構造が得られるように、前記貼り合わせ基板に化学的処理を施すことが好ましい。

【0033】本発明の第1の側面に係る貼り合わせ基板の製造方法において、前記第3工程は、例えば、前記第2工程により作成された貼り合わせ基板の前記第1の層の外周端の少なくとも一部を酸化させる工程を含むことが好ましい。

【0034】本発明の第1の側面に係る貼り合わせ基板の製造方法において、前記第3工程は、例えば、前記第2工程により作成された貼り合わせ基板の前記第1の層の外周端の少なくとも一部をエッチングする工程を含むことが好ましい。

【0035】本発明の第1の側面に係る貼り合わせ基板の製造方法において、前記第1の層は、例えば、半導体層である。

【0036】本発明の第1の側面に係る貼り合わせ基板の製造方法において、前記第1の層は、例えば、Si層である。

【0037】本発明の第1の側面に係る貼り合わせ基板の製造方法において、前記第1の層は、例えば、単結晶Si層である。

【0038】本発明の第1の側面に係る貼り合わせ基板の製造方法において、前記第1の層は、例えば、化合物半導体層である。

【0039】本発明の第1の側面に係る貼り合わせ基板の製造方法において、前記第1工程は、例えば、Si基板に陽極化成処理を施すことにより前記多孔質層を形成

する工程を含むことが好ましい。

【0040】本発明の第1の側面に係る貼り合わせ基板の製造方法において、前記第1工程は、例えば、S*i*基板にイオンを注入することにより前記多孔質層を形成する工程を含むことが好ましい。

【0041】本発明の第1の側面に係る貼り合わせ基板の製造方法において、例えば、前記第1の層はS*i*層であり、前記第2の層は、S*iO₂*層である。

【0042】本発明の第1の側面に係る貼り合わせ基板の製造方法において、前記第1工程は、例えば、前記多孔質層の上に前記第1の層としてのS*i*層を形成する工程と、前記S*i*層の表面を熱酸化させることにより、前記S*i*層上に前記第2の層としてのS*iO₂*層を形成する工程とを含むことが好ましい。

【0043】本発明の第1の側面に係る貼り合わせ基板の製造方法において、前記第2の基板は、例えば、S*i*基板、又は、S*i*基板の表面にS*iO₂*層を形成した基板である。

【0044】本発明の第1の側面に係る貼り合わせ基板の製造方法において、前記第2の基板は、例えば、光透過性基板又は絶縁性基板である。

【0045】本発明の第2の側面に係る貼り合わせ基板の製造方法は、内部に多孔質層を有し、該多孔質層の上の所定領域に第1の層を有し、更に該第1の層の上の他側壁の少なくとも一部を覆う第2の層を有する第1の基板を作成する第1工程と、前記第1の基板の主面と第2の基板とを貼り合せて貼り合わせ基板を作成する第2工程とを含むことを特徴とする。

【0046】本発明の第2の側面に係る貼り合わせ基板の製造方法において、前記第1の工程では、例えば、前記第2の工程の後に、前記第1の層の外周端の少なくとも一部が前記第1の基板と前記第2の基板とが貼り合わされている領域の外周端よりも内側に位置する構造を有する貼り合わせ基板が得られるように、前記第1の層及び第2の層を形成することが好ましい。

【0047】本発明の第2の側面に係る貼り合わせ基板の製造方法において、前記第1工程は、例えば、前記多孔質層の上の略全面に所定の材料からなる層を形成し、それをパタニングすることにより、前記第1の層を形成する工程を含むことが好ましい。

【0048】本発明の第2の側面に係る貼り合わせ基板の製造方法において、前記第1の工程は、例えば、前記多孔質層の上に所定形状を有する前記第1の層を成長させる工程を含むことが好ましい。

【0049】本発明の第2の側面に係る貼り合わせ基板の製造方法において、前記第1の層は、例えば、半導体層である。

【0050】本発明の第2の側面に係る貼り合わせ基板の製造方法において、前記第1の層は、例えば、S*i*層である。

【0051】本発明の第2の側面に係る貼り合わせ基板の製造方法において、前記第1の層は、例えば、単結晶S*i*層である。

【0052】本発明の第2の側面に係る貼り合わせ基板の製造方法において、前記第1の層は、例えば、化合物半導体層である。

【0053】本発明の第2の側面に係る貼り合わせ基板の製造方法において、前記第1工程は、例えば、S*i*基板に陽極化処理を施すことにより前記多孔質層を形成する工程を含むことが好ましい。

【0054】本発明の第2の側面に係る貼り合わせ基板の製造方法において、前記第1の層はS*i*層であり、前記第2の層は、S*iO₂*層である。

【0055】本発明の第2の側面に係る貼り合わせ基板の製造方法において、前記第1の工程は、例えば、前記多孔質層上に前記第1の層としてのS*i*層を形成する工程と、前記S*i*層が形成された基板の表面を熱酸化させることにより、前記第2の層としてのS*iO₂*層を形成する工程とを含むことが好ましい。

【0056】本発明の第2の側面に係る貼り合わせ基板の製造方法において、前記第2の基板は、例えば、S*i*基板、又は、S*i*基板の表面にS*iO₂*層を形成した基板である。

【0057】本発明の第2の側面に係る貼り合わせ基板の製造方法において、前記第2の基板は、例えば、光透過性基板又は絶縁性基板である。

【0058】本発明の第3の側面に係る貼り合わせ基板の製造方法は、内部に多孔質層を有し、該多孔質層の外周部以外の部分の上に第1の層を有し、更に該第1の層の上を覆う第2の層を有する第1の基板を作成する第1工程と、前記第1の基板の主面と第2の基板とを貼り合わせて貼り合わせ基板を作成する第2工程とを含むことを特徴とする。

【0059】本発明の第3の側面に係る貼り合わせ基板の製造方法において、前記第1工程では、例えば、前記第1の層の外周端の位置と前記第2の層の外周端の位置とが略一致した構造を有する第1の基板を作成することが好ましい。

【0060】本発明の第3の側面に係る貼り合わせ基板の製造方法において、前記第1工程は、例えば、前記多孔質層の上の略全面に第1材料からなる下層を形成する工程と、前記下層の上の略全面に第2材料からなる上層を形成する工程と、前記上層の外周部を除去して前記第2の層を形成する工程と、前記第2の層をマスクパターンとして前記下層の外周部を除去して前記第1の層を形成する工程とを含むことが好ましい。

【0061】本発明の第3の側面に係る貼り合わせ基板の製造方法において、前記第1工程は、前記多孔質層の上の略全面にS*i*層を形成する工程と、前記S*i*層が形成された基板の表面を熱酸化させることによりS*iO₂*

層を形成する工程と、前記 SiO_2 層の外周部を除去して前記第2の層を形成する工程と、前記第2の層をマスクパターンとして前記 Si 層の外周部を除去して前記第1の層を形成する工程とを含むことを特徴とする。

【0062】本発明の第3の側面に係る貼り合わせ基板の製造方法において、例えば、前記第2工程により作成された貼り合わせ基板に化学的処理を施すことにより、前記第1の層の外周端の少なくとも一部を、前記第1の基板と前記第2の基板とが貼り合わされている領域の外周端又はそれよりも内側に位置させる第3工程を更に含むことが好ましい。

【0063】本発明の第3の側面に係る貼り合わせ基板の製造方法において、前記第3工程では、例えば、前記第2工程により作成された貼り合わせ基板の外周部を酸化させる工程を含むことが好ましい。

【0064】本発明の第3の側面に係る貼り合わせ基板の製造方法において、前記第1の層は、例えば、半導体層である。

【0065】本発明の第3の側面に係る貼り合わせ基板の製造方法において、前記第1の層は、例えば、 Si 層である。

【0066】本発明の第3の側面に係る貼り合わせ基板の製造方法において、前記第1の層は、例えば、単結晶 Si 層である。

【0067】本発明の第3の側面に係る貼り合わせ基板の製造方法において、前記第1の層は、例えば、化合物半導体層である。

【0068】本発明の第3の側面に係る貼り合わせ基板の製造方法において、前記第1工程は、例えば、 Si 基板に陽極化成処理を施すことにより前記多孔質層を形成する工程を含むことが好ましい。

【0069】本発明の第3の側面に係る貼り合わせ基板の製造方法において、前記第2の基板は、例えば、 Si 基板、又は、 Si 基板の表面に SiO_2 層を形成した基板である。

【0070】本発明の第3の側面に係る貼り合わせ基板の製造方法において、前記第2の基板は、例えば、光透過性基板又は絶縁性基板である。

【0071】本発明の第4の側面に係る貼り合わせ基板の製造方法は、内部に多孔質層を有し、その上に第1の層を有する第1の基板を作成する第1工程と、前記第1の基板の正面と第2の基板とを貼り合わせて、貼り合わせ基板を作成する第2工程と、前記貼り合わせ基板に化学的処理を施すことにより、前記第1の層の外周端の少なくとも一部を前記貼り合わせ基板の内部方向に以上後退させる第3工程とを含むことを特徴とする。

【0072】本発明の第4の側面に係る貼り合わせ基板の製造方法において、前記第3工程は、例えば、前記第2工程により作成された貼り合わせ基板の前記第1の層の外周部の少なくとも一部を酸化させる工程を含むこと

が好ましい。

【0073】本発明の第4の側面に係る貼り合わせ基板の製造方法において、前記第3工程は、例えば、前記第2工程により作成された貼り合わせ基板の前記第1の層の外周部の少なくとも一部をエッチングする工程を含むことが好ましい。

【0074】本発明の第5の側面に係る貼り合わせ基板の製造方法は、内部に多孔質層を有し、該多孔質層の外周部以外の部分の上に第1の層を有する第1の基板を作成する第1工程と、前記第1の基板の正面と第2の基板とを貼り合わせる工程とを含むことを特徴とする。

【0075】本発明の第6の側面に係る基板の製造方法は、上記のいずれかの貼り合わせ基板の製造方法により貼り合わせ基板を作成する工程と、作成された貼り合わせ基板を前記多孔質層の部分で2枚の基板に分離する工程とを含むことを特徴とする。

【0076】本発明の第6の側面に係る貼り合わせ基板の製造方法において、例えば、前記分離工程により分離された2枚の基板のうち第2の基板側の表面に残留する多孔質層を除去する工程を更に含むことが好ましい。

【0077】本発明の第6の側面に係る貼り合わせ基板の製造方法において、例えば、前記分離工程により分離された2枚の基板のうち第1の基板側に残留する多孔質層を除去し再利用可能にする工程を更に含むことが好ましい。

【0078】本発明の第6の側面に係る貼り合わせ基板の製造方法において、前記分離工程では、例えば、前記貼り合わせ基板の貼り合わせ面付近に向けて流体を噴射し、該流体により前記貼り合わせ基板を前記多孔質層の部分で2枚の基板に分離することが好ましい。

【0079】本発明の第7の側面に係る貼り合わせ基板は、内部に多孔質層を有し、その上に第1の層を有し、その上に更に第2の層を有する第1の基板の正面と第2の基板とを貼り合わせた構造を有する貼り合わせ基板であって、前記貼り合わせ基板の外周部の少なくとも一部の部分において、前記第1の層の外周端が、前記貼り合わせ基板の外周端から内部に向かって所定距離以上奥に位置することを特徴とする。

【0080】本発明の第8の側面に係る貼り合わせ基板は、内部に多孔質層を有し、その上に第1の層を有し、その上に更に第2の層を有する第1の基板の正面と第2の基板とを貼り合わせた構造を有する貼り合わせ基板であって、前記貼り合わせ基板の外周部の少なくとも一部の部分において、前記第1の層の外周端が、前記第2の層の外周端又はそれよりも内側に位置することを特徴とする。

【0081】本発明の第9の側面に係る貼り合わせ基板は、内部に多孔質層を有し、その上に第1の層を有し、その上に更に第2の層を有する第1の基板の正面と第2の基板とを貼り合わせてなる貼り合わせ基板であって、

前記貼り合わせ基板の外周部の少なくとも一部の部分において、前記第1の層の外周端が、前記第1の基板と前記第2の基板とが貼り合わされている領域の外周端又はそれよりも内側に位置することを特徴とする。

【0082】本発明の第10の側面に係る貼り合わせ基板は、内部に多孔質層を有し、その上に第1の層を有する第1の基板の正面と第2の基板とを貼り合わせた構造を有する貼り合わせ基板であって、前記貼り合わせ基板の外周部の少なくとも一部の部分において、前記第1の層の外周端が、前記貼り合わせ基板の外周端から内部に向かって所定距離以上奥に位置することを特徴とする。

【0083】本発明の第11の側面に係る貼り合わせ基板の製造方法は、内部に多孔質層を有し、その上に第1の層を有し、その上に更に第2の層を有する第1の基板の正面と第2の基板とを貼り合せた貼り合わせ基板に化学的処理を施し、これにより、前記第1の層の外周端の少なくとも一部を前記貼り合わせ基板の内部方向に後退させる処理工程を含むことを特徴とする。

【0084】本発明の第11の側面に係る貼り合わせ基板の製造方法において、例えば、前記処理工程では、前記貼り合わせ基板の前記第1の層の外周端の少なくとも一部が、前記第1の基板と前記第2の基板とが貼り合わされている領域の外周端又はそれよりも内側に位置する構造が得られるように、前記貼り合わせ基板に化学的処理を施すことが好ましい。

【0085】本発明の第11の側面に係る貼り合わせ基板の製造方法において、例えば、前記処理工程は、前記第2工程により作成された貼り合わせ基板の前記第1の層の外周端の少なくとも一部を酸化させる工程を含むことが好ましい。

【0086】本発明の第11の側面に係る貼り合わせ基板の製造方法において、前記処理工程は、前記第2工程により作成された貼り合わせ基板の前記第1の層の外周端の少なくとも一部をエッチングする工程を含むことが好ましい。

【0087】本発明の第11の側面に係る貼り合わせ基板の製造方法において、例えば、前記第1の層は、半導体層であることが好ましい。

【0088】本発明の第11の側面に係る貼り合わせ基板の製造方法において、例えば、前記第1の層は、Si層であることが好ましい。

【0089】本発明の第11の側面に係る貼り合わせ基板の製造方法において、例えば、前記第1の層は、単結晶Si層であることが好ましい。

【0090】本発明の第11の側面に係る貼り合わせ基板の製造方法において、例えば、前記第1の層は、化合物半導体層であることが好ましい。

【0091】本発明の第11の側面に係る貼り合わせ基板の製造方法において、例えば、前記第1の基板の多孔質層は、Si基板に陽極化成処理を施すことにより形成

された多孔質層であることが好ましい。

【0092】本発明の第11の側面に係る貼り合わせ基板の製造方法において、例えば、前記第1の基板の多孔質層は、Si基板にイオンを注入することにより形成された多孔質層であることが好ましい。

【0093】本発明の第11の側面に係る貼り合わせ基板の製造方法において、例えば、前記第1の層はSi層であり、前記第2の層は、SiO₂層であることが好ましい。

【0094】本発明の第11の側面に係る貼り合わせ基板の製造方法において、例えば、前記第2の基板は、Si基板、又は、Si基板の表面にSiO₂層を形成した基板であることが好ましい。

【0095】本発明の第11の側面に係る貼り合わせ基板の製造方法において、例えば、前記第2の基板は、光透過性基板又は絶縁性基板であることが好ましい。

【0096】

【発明の実施の形態】まず、本発明の好適な実施の形態の理解を容易にするために、分離用の層として内部に多孔質層を有し、その上に非多孔質層を有する第1の基板と、第2の基板とを貼り合わせて貼り合わせ基板を作成し、その後、この貼り合わせ基板を多孔質層で分離することにより、第1の基板から非多孔質層（例えば、Si単結晶層）を第2の基板に移し取り、これによりSOI基板を製造する基本的な方法を概略的に説明する。

【0097】図1は、SOI基板の基本的な製造方法を概略的に説明するための図である。図1(a)に示す工程では、単結晶Si基板11を準備して、その表面に陽極化成処理等により多孔質Si層12を形成する。

【0098】次いで、図1(b)に示す工程では、多孔質Si層12上に非多孔質単結晶Si層13をエピタキシャル成長法により形成する。その後、その表面を酸化することによりSiO₂層14を形成する。これにより、第1の基板10が形成される。ここで、多孔質Si層12は、例えば、単結晶Si基板11にイオン注入する方法（イオン注入法）により形成してもよい。この方法により形成される多孔質Si層は、多数の微小空洞を有し、微小空洞（microcavity）層とも呼ばれる。

【0099】図1(c)に示す工程では、単結晶Siの第2の基板20を準備し、第1の基板10と第2の基板20とを、第2の基板と絶縁層14とが面するように室温で密着させる。その後、陽極接合、加圧若しくは熱処理又はこれらを組合せた処理により第1の基板10と第2の基板20とを貼り合わせる。この処理により、第2の基板20と絶縁層14が強固に結合される。なお、絶縁層14は、上記のように単結晶Si層13側に形成しても良いし、第2の基板20上に形成しても良く、両者に形成しても良く、結果として、第1の基板と第2の基板を密着させた際に、図1(c)に示す状態になれば良い。しかしながら、上記のように、絶縁層14を活性

層となる単結晶Si層13側に形成することにより、第1の基板10と第2の基板との貼り合せの界面を活性層から遠ざけることができるため、より高品位のSOI基板を得ることができる。

【0100】図1(d)に示す工程では、貼り合わせた2枚の基板を、多孔質Si層12の部分で2枚の基板に分離する。これにより、第2の基板側(10' + 20)は、多孔質Si層12' / 単結晶Si層13 / 絶縁層14 / 単結晶Si基板20の積層構造となる。一方、第1の基板側10'は、単結晶Si基板11上に多孔質12'を有する構造となる。

【0101】分離後の第1の基板側10'は、残留した多孔質Si層12'を除去し、必要に応じて、その表面を平坦化することにより、再び第1の基板10を形成するための単結晶Si基板11として使用される。

【0102】貼り合わせ基板を分離した後、図1(e)に示す工程では、第2の基板側(10' + 20)の表面の多孔質層12'を選択的に除去する。これにより、単結晶Si層13 / 絶縁層14 / 単結晶Si基板20の積層構造、すなわち、SOI構造を有する基板が得られる。

【0103】第2の基板としては、例えば、単結晶Si基板の他、絶縁性基板(例えば、石英基板)や光透過性基板(例えば、石英基板)等が好適である。

【0104】図2は、図1(c)の符号30を付した部分の模式的な拡大図である。以下、図2を参照しながら、図1(d)に示す分離工程における問題点を説明する。

【0105】一般には、貼り合わせ基板を多孔質層12の部分で分離しようとして、貼り合わせ基板に楔等により力を印加した場合、分離の開始時は、基板10と第2の基板20との貼り合わせ界面に力が集中的に作用する。そのため、矢印Aに示すように、分離は、貼り合わせ基板の貼り合わせ面の外周部から始まる。そして、分離は、矢印Aに示すように、脆弱な構造の分離用の層である多孔質層12に向かって進行し、多孔質層12の破壊が始まった以降は、多孔質層12のみが選択的に破壊され、これにより貼り合わせ基板が2枚の基板に分離される。この場合は、活性層となる単結晶Si層13やその下地層となる絶縁層14の面積の縮小は殆どなく、貼り合わせ基板は、ほぼ理想的に分離されると言える。

【0106】問題となるのは、矢印Bに示すように分離が進行する場合である。一般的に、熱膨張係数の異なる2つの層の界面には、大きな応力が発生することが知られている。より具体的には、例えば、単結晶Si層の熱酸化により該単結晶Si層の上に酸化膜を形成した場合に、該単結晶Si層と酸化膜との界面に大きな応力が発生する。

【0107】従って、貼り合わせ界面から絶縁層14及び単結晶Si層13を横切って多孔質層12に分離が進

行する過程で、絶縁層14と単結晶Si層13との界面に沿って分離が進行する可能性がある。この絶縁層14と単結晶Si層13との界面に沿った分離の進行は、単結晶Si層13の破壊を齎し、素子を形成するための領域を減少させる。そのため、このような現象が頻発する場合、歩留まりが大きく低下することは言うまでもない。

【0108】以下の実施の形態では、例えば、上記のような問題、即ち、分離工程の開始時における欠陥の発生を防止する技術を開示する。

【0109】【第1の実施の形態】この実施の形態に係る方法では、第1の基板10と第2の基板20とを貼り合わせて貼り合わせ基板を作成した後に、その貼り合わせ基板の外周部、特に第1の基板10の多孔質層上に形成した第1の層(例えば、単結晶Si層)の外周部を酸化させ、これにより、第1の層の外周端を貼り合わせ基板の内側に向かって縮小させる。そして、好ましくは、この方法では、第1の層の外周端が第1の基板10と第2の基板20との貼り合わせ領域(第1の基板10と第2の基板20とが貼り合せられて結合している領域)の外周端又はそれよりも内側に位置するようにする。

【0110】このように第1の層の領域を縮小させることにより、貼り合わせ基板の分離の際に、第1の層とそれに隣接する第2の層との界面に沿って分離が進行することを効果的に防止することができる。

【0111】図3A～図3Jは、本発明の第1の実施の形態に係る半導体基板の製造工程の一部を示す図である。なお、図3A～図3Jには、基板の主面側の一部分のみが示されており、図示の部分は、図1(c)の符号30を付した部分に相当する。

【0112】なお、一般に、単結晶Si基板等の半導体基板は、図3Aに示すように、ベベリング部の内側のミラー平面の部分であっても、研磨だれやエッチングだれにより、外周端から1～数mmの部分は、中央部よりも厚さが薄くなっている。

【0113】図3Aに示す工程では、単結晶Si基板等の半導体基板11を準備する。図3Bに示す工程では、半導体基板11の主面(ミラー面)側に陽極化成法等により多孔質層12を形成する。なお、多孔質層12を形成する領域は、図3Bに示すように半導体基板11のベベリング部の外周端或いは裏面にまで及んでもよいし、これよりも小さな領域としてもよい。

【0114】図3Cに示す工程では、多孔質層12の上に第1の層13を形成する。第1の層13としては、例えば、単結晶Si層、多結晶Si層、多結晶Si層、非晶質Si層等のSi層が好適である。また、第1の層13として、例えばMOSFET等の素子を形成してもよい。

【0115】図3Dに示す工程では、第1の層13の上に第2の層14を形成する。これにより、第1の基板1

0が得られる。第2の層14としては、例えば、第1の層(Si層)12の表面を酸化(例えば、熱酸化)させる方法等により得られる酸化層(例えば、SiO₂層)が好適である。

【0116】図3Eに示す工程では、第1の基板10の正面と第2の基板20の正面とを室温で密着させる。その後、陽極接合、加圧若しくは熱処理又はこれらを組合せた処理により、第1の基板10と第2の基板20との結合を強固にしてもよい。

【0117】第2の基板としては、Si基板、Si基板上に絶縁膜を形成した基板、石英基板等の絶縁性基板、石英基板等の光透過性基板、サファイア基板等が好適であるが、これに限定されず、貼り合わせに供される面が十分に平坦な基板であれば他の基板でもよい。

【0118】なお、例えば、第2の基板20が絶縁性基板である場合や第2の基板20の表面に絶縁膜が形成されている場合においては、第2の層14(図3Dに示す工程)は必ずしも必要はないが、第2の層14を形成することにより、活性層となる第1の層13を貼り合わせ界面から遠ざけることができるという利点がある。また、p-nダイオードを形成するためにSi層同士を貼り合せる場合においては、第2の層14は不要である。

【0119】一方、第1の基板10と第2の基板20との貼り合わせの際に、絶縁性の薄板を挟んでもよい。

【0120】図3Fに示す工程では、図3Eに示す貼り合わせ基板の外周部の全周のうち少なくとも一部(分離工程において分離を開始する部分)を酸化(例えば、熱酸化)させる。なお、図3Fに示す例は、第1の層13が、単結晶Si層等のSi層であり、第2の層14が、SiO₂層であり、第2の基板20が、単結晶Si基板等のSi基板である場合に関する。

【0121】図3Fに示す例では、第1の層13の外周部が第2の層14を通して酸化されることにより、第1の層13の領域が貼り合わせ基板の内側に向かって縮少し、逆に、第1の層13及び第2の基板20の酸化により、貼り合わせ領域が外周方向に拡大する。なお、13aは、酸化工程の後の第1の層、14aは、酸化工程の後の第2の層、20aは、酸化工程の後の第2の基板、20bは、酸化工程により第2の基板20aに形成された酸化膜を示している。

【0122】この酸化工程により、第1の層13aの外周部が貼り合わせ領域の外周部よりも内側に位置する貼り合わせ基板が得られる。

【0123】図3Gに示す工程では、図3Fに示す貼り合わせ基板を分離する。図3Gには、図3Fに示す貼り合わせ基板を分離する際の分離の進行の様子が模式的に示されている。図3Fに示す貼り合わせ基板は、第1の層13aの外周端が貼り合わせ領域の外周端よりも内側に位置するため、分離は、貼り合わせ界面から始まり、酸化層である第2の層14aを横切り多孔質層12に至

る。なお、第1の層13aの外周端の位置と貼り合わせ領域の外周端の位置とが略一致する場合においても、分離は、貼り合わせ界面から始まり、酸化層である第2の層14aを横切り多孔質層12に至る。

【0124】ここで、第1の層13の外周部が完全に酸化されていない場合においても、その厚さは、酸化工程により薄くなっているため、SiO₂層(第2の層14a)とSi層(第1の層13)との界面に沿って分離が進行する可能性よりも、Si層(第1の層13)を突き破って分離が進行する可能性が高いと考えられる。従って、この場合においても、SiO₂層(第2の層14a)とSi層(第1の層13)との界面に沿って分離が進行することによる欠陥は殆ど発生しないと考えられる。この場合、酸化工程により薄くなった部分の第1の層13の存在は無視可能であるため、実質的に、第1の層13の外周端は、貼り合わせ基板の内部に向かって後退していると看做すことができる。即ち、本発明の範囲には、第1の層13の外周部が完全に酸化されていない場合も含まれる。

【0125】なお、上記のような酸化工程(図3F)は、貼り合わせ工程(図3E)の後の貼り合わせ基板の全周のうち、分離工程を開始すべき部分に対してのみ実施してもよい。

【0126】また、第2の層14を形成した場合においても、第1の層13の外周端を貼り合わせ基板の内側に向かって後退(例えば、貼り合わせ基板の外周端から數mm程度)させることにより、分離の際に第1の層が破壊されることを防止することができる。この場合、分離は、貼り合わせ界面から始まり、第1の層の側方又は外周端を通じて多孔質層に進行する。

【0127】貼り合わせ基板を多孔質層で2枚の基板に分離する方法としては、例えば、1)貼り合わせ基板の貼り合わせ界面付近に楔等の機械的な部材を挿入する方法、2)貼り合わせ基板の貼り合わせ界面付近に向けて、気体(例えば、空気、窒素、水素、二酸化炭素、不活性ガス等)や液体(例えば、水、エッチング液等)、即ち流体を噴射する方法(ウォータージェット法の応用)、3)貼り合わせ基板に対して、加圧、引っ張り、せん断等の力を印加する方法、4)酸化工程により多孔質層を外周部から膨張させ、多孔質層の孔壁に力を印加する方法、5)パルス状に変化する熱を印加し、熱応力を発生させる方法或いは軟化させる方法、6)超音波を印加することにより多孔質層を破壊する方法等がある。ただし、他の方法を利用することも可能である。

【0128】上記の分離工程により、第2の基板20a側は、第2の基板20a上に、第2の層(SiO₂層)14b、第1の層(Si層)13a、多孔質層12aを順に有する基板(図3H)が得られる。

【0129】図3Iに示す工程では、図3Hに示す基板の最上層に残留した多孔質層12aを選択的に除去す

る。この実施の形態のように、第1の層13aがSi層である場合には、多孔質層12aの選択的な除去には、通常のSiのエッチング液、又は、多孔質Siを選択的にエッチングするためのエッチング液である弗酸、又は、弗酸にアルコール及び過酸化水素水の少なくとも一方を添加した混合液、又は、バッファード弗酸、又は、バッファード弗酸にアルコール及び過酸化水素水の少なくとも一方を添加した混合液のいずれかのエッチング液が好適である。このエッチング液を利用して、第2の基板20a、第2の層(SiO₂層)14b、第1の層(Si層)13a及び多孔質層12aからなる基板をエッチングすることにより、最上層として第1の層(Si層)13aを有する基板(図3I)を得ることができる。図3Iにおいて、14cは、エッチング工程の後の第2の層(SiO₂層)、20cは、エッチング工程の後の酸化膜を示している。

【0130】なお、多孔質Siは、膨大な表面積を有するため、上述のように通常のSiのエッチング液であっても、多孔質層12aを選択的にエッチングすることができる。

【0131】ここで、エッチング液によって多孔質層12aを除去する代わりに、例えば、該多孔質層12aの下層の第1の層(Si層)13aを研磨ストッパーとして、該多孔質層12aを選択的に研磨してもよい。

【0132】図3Jに示す工程では、図3Iに示す基板の外周部の酸化膜20c及び第2の層14cをエッチング等によって除去する。これにより、図3Jに示すように、第2の基板上に第2の層14d、第1の層13bを順に有するSOI基板が得られる。

【0133】更に、図3Gに示す分離工程において分離された2枚の基板のうち第1の基板10側の基板については、その表面に残留する第2の膜(SiO₂膜)14a及び多孔質層12を除去し、必要に応じて表面を平坦化する工程を実施することにより、再度、半導体基板11又は第2の基板20として利用することができる。

【0134】以上のように、この実施の形態によれば、貼り合わせ工程(図3E)の後に酸化工程(図3F)を実施することによって、第1の層13の外周端の少なくとも一部を貼り合わせ基板の内側に向かって後退させて、例えば、貼り合わせ領域の外周端又はそれよりも内側に位置することにより、分離工程における欠陥の発生を防止することができる。

【0135】【第2の実施の形態】この実施の形態に係る方法では、外周部(例えば、外周端から数mmの部分)の内側にのみ第1の層13を有し、該第1の層13及びその周辺(第1の層の側壁を含む)の上に第2の層14を有する第1の基板10を作成し、この第1の基板10と第2の基板20とを貼り合わせて貼り合わせ基板を作成する。また、この変形例として、外周部の内側にのみ第1の層13を有する第1の基板10を作成し、こ

の第1の基板10と第2の基板を貼り合わせた後、第1の層の外周部を酸化させてもよい。

【0136】図4A～図4Eは、本発明の第2の実施の形態に係る半導体基板の製造工程の一部を示す図である。なお、図4A～図4Eには、基板の主面側の一部分のみが示されており、図示の部分は、図1(c)の符号30を付した部分に相当する。

【0137】なお、一般に、単結晶Si基板等の半導体基板は、図4Aに示すように、ベベリング部の内側のミラー平面の部分であっても、研磨だれやエッチングだれにより、外周端から1～数mmの部分は、中央部よりも厚さが薄くなっている。

【0138】図4Aに示す工程では、単結晶Si基板等の半導体基板11を準備する。図4Bに示す工程では、半導体基板11の主面(ミラー面)側に陽極化成法等により多孔質層12を形成する。なお、多孔質層12を形成する領域は、図4Bに示すように半導体基板11のベベリング部の外周端或いは裏面にまで及んでもよいし、これよりも小さな領域としてもよい。

【0139】図4Cに示す工程では、多孔質層12の外周部(例えば、外周端から数mmの部分)の内側にのみ第1の層13を形成する。このように多孔質層12の外周部の内側にのみ第1の層13を形成する方法としては、外周部への第1の層13の形成を妨げる方法や、多孔質層12の全面に第1の層13を形成した後に、これをパタニングする方法等がある。

【0140】例えば、前者の方法の一例としては、多孔質層12の外周部を覆うマスクパターンを形成した後に、単結晶Si層13をエピタキシャル成長法により形成し、その後、マスクパターンを除去する方法が挙げられる。

【0141】また、後者の方法の一例としては、第1の層13の上にレジスト膜を形成し、該レジスト膜の外周部以外の部分が残るように該レジスト膜をパタニングし、これをマスクパターンとして第1の層13の外周部をエッチングする方法が挙げられる。この時、併せて、外周部の第1の層13の下の多孔質層の全部又は一部をエッチングしてもよい。

【0142】第1の層13としては、例えば、単結晶Si層、多結晶Si層、多結晶Si層、非晶質Si層等のSi層や、金属膜、化合物半導体層、超伝導層等が好適である。また、第1の層13として、例えばMOSFET等の素子を形成してもよい。

【0143】図4Dに示す工程では、第1の層13の上及び側壁を覆う第2の層14を形成する。これにより、第1の基板10が得られる。第2の層14としては、SiO₂層等の絶縁層が好適である。例えば、第1の層13がSi層である場合、第2の層14としては、該Si層の表面を酸化(例えば、熱酸化)させる方法により得られるSiO₂層が好適である。なお、図4Dに示す工

程では、第1の層13の上の他、該第1の層13の全周のうち分離工程の実施を開始する部分の周辺の側壁にのみ第2の層14を形成してもよい。

【0144】図4Eに示す工程では、第1の基板10の正面と第2の基板20の正面とを室温で密着させる。その後、陽極接合、加圧若しくは熱処理又はこれらを組合せた処理により、第1の基板10と第2の基板20との結合を強固にしてもよい。

【0145】第2の基板としては、Si基板、Si基板上に絶縁膜を形成した基板、石英基板等の絶縁性基板、石英基板等の光透過性基板、サファイア基板等が好適であるが、これに限定されず、貼り合わせに供される面が十分に平坦な基板であれば他の基板でもよい。

【0146】なお、例えば、第2の基板20が絶縁性基板である場合や第2の基板20の表面に絶縁膜が形成されている場合においては、第2の層14は必ずしも必要はないが、第2の層14を形成することにより、活性層となる第1の層13を貼り合わせ界面から遠ざけることができるという利点がある。また、pnダイオードを形成するためにSi層同士を貼り合せる場合においては、第2の層14は不要である。

【0147】一方、第1の基板10と第2の基板20との貼り合わせの際に、絶縁性の薄板を挟んでもよい。

【0148】以上の工程により、第1の層13の外周端の少なくとも一部（分離工程の実施を開始する位置）が貼り合わせ領域の外周端よりも内側に位置する貼り合わせ基板が得られる。

【0149】ここで、図4Dに示す工程を実施しない場合、即ち、第2の層14を形成する工程を実施しない場合には、第1の基板（この場合、半導体基板11、多孔質層12及び第1の層13からなる基板）10と第2の基板20とを貼り合わせて貼り合わせ基板を作成した後に、例えば、その貼り合わせ基板の第1の層13の外周側に他の層を形成することが好ましい。例えば、第1の層13がSi層である場合は、第1の層13の外周部を酸化させることにより、第1の層13の外周側にSiO₂層を形成することが好ましい。これにより、分離工程の実施の際に単結晶Si層13が破壊されることを防止することができる。

【0150】図4Eに示す工程の後は、第1の実施の形態における図3G～図3Jに示す工程を実施することにより、SOI基板等の半導体基板を得ることができる。

【0151】なお、第1の層13として化合物半導体層を形成する場合は、図3Hに相当する工程、即ち、貼り合わせ基板を2枚に分離した後に表面に残留する多孔質層を除去する工程において、該化合物半導体層の材料のエッチング速度よりもSiのエッチング速度の方が速いエッチング液を利用して、多孔質層を選択的にエッチングすればよい。

【0152】以上のように、この実施の形態によれば、

例えば、外周部の内側にのみ第1の層13を有する第1の基板10を作成することにより、第1の層13の外周端を貼り合わせ領域の外周端よりも内側に位置させ、分離工程における欠陥の発生を防止することができる。

【0153】【第3の実施の形態】この実施の形態に係る方法では、外周部（例えば、外周端から数mmの部分）の内側にのみ第1の層を有し、その上に第2の層を有する第1の基板10を作成し、この第1の基板10と第2の基板とを貼り合わせる。そして、この好ましくは、その貼り合わせ基板の外周部を酸化させることにより、第1の層の領域を貼り合わせ基板の内側に向かって縮小させ、第1の層の外周部が、貼り合わせ領域の外周端よりも内側に位置するようにする。

【0154】図5A～図5Gは、本発明の第3の実施の形態に係る半導体基板の製造工程の一部を示す図である。なお、図5A～図5Gには、基板の主表面の一部分のみが示されており、図示の部分は、図1（c）の符号30を付した部分に相当する。

【0155】なお、一般に、単結晶Si基板等の半導体基板は、図5Aに示すように、ペベリング部の内側のミラー平面の部分であっても、研磨だれやエッチングだれにより、外周端から1～数mmの部分は、中央部よりも厚さが薄くなっている。

【0156】図5Aに示す工程では、単結晶Si基板等の半導体基板11を準備する。図5Bに示す工程では、半導体基板11の正面（ミラー面）側に陽極化成法等により多孔質層12を形成する。なお、多孔質層12を形成する領域は、図5Bに示すように半導体基板11のペベリング部の外周端或いは裏面にまで及んでもよいし、これよりも小さな領域としてもよい。

【0157】図5Cに示す工程では、多孔質層12の上に第1の層13、第2の層14を形成する。第1の層13としては、例えば、単結晶Si層、多結晶Si層、多結晶Si層、非晶質Si層等のSi層等が好適である。また、第1の層13として、例えばMOSFET等の素子を形成してもよい。第2の層14としては、例えば、第1の層（Si層）12の表面を酸化（例えば、熱酸化）させる方法等により得られる酸化層（例えば、SiO₂層）が好適である。

【0158】図5Dに示す工程では、図5Cに示す基板の第2の層14の上に、半導体基板11の中心部を覆い、外周部（例えば、外周端から数mmの部分）を露出させたマスクパターンを形成する。そして、このマスクパターンを利用して、第2の層14の外周部をバッファードフロ酸等のエッチング液によりエッチングして、第2の層14をパタニングする。14aは、パタニングされた第2の層を示している。

【0159】図5Eに示す工程では、パタニングされた第2の層14aをマスクパターンとして、その下の第1の層13をRIE（Reactive Ion Etching）法等により

異方性エッチングして、第1の層13をパタニングする。13aは、パタニングされた第1の層を示している。なお、第2の層14をパタニングするためのマスクパターンは、図5Dに示す工程の後に除去してもよいし、図5Eに示す工程の後に除去してもよいが、エッチングによる第2の層14の表面荒れを防止するためには、図5Eに示す工程の後に除去することが好ましい。【0160】このようにして、外周部（例えば、外周端から数mmの部分）の内側にのみ第1の層13a及び第2の層14aを有する第1の基板10を形成することができる。

【0161】図5Fに示す工程では、第1の基板10の正面と第2の基板20の正面とを室温で密着させる。その後、陽極接合、加圧若しくは熱処理又はこれらを組合せた処理により、第1の基板10と第2の基板20との結合を強固にしてもよい。

【0162】第2の基板としては、Si基板、Si基板上に絶縁膜を形成した基板、石英基板等の絶縁性基板、石英基板等の光透過性基板、サファイア基板等が好適であるが、これに限定されず、貼り合わせに供される面が十分に平坦な基板であれば他の基板でもよい。

【0163】なお、例えば、第2の基板20が絶縁性基板である場合や第2の基板20の表面に絶縁膜が形成されている場合においては、第2の層14aは、必ずしも必要はないが、第2の層14aを形成することにより、活性層となる第1の層13を貼り合わせ界面から遠ざけることができるという利点がある。また、pnダイオードを形成するためにSi層同士を貼り合せる場合においては、第2の層14は不要である。

【0164】一方、第1の基板10と第2の基板20との貼り合わせの際に、絶縁性の薄板を挟んでもよい。

【0165】以上の工程により、第1の層の外周端の位置が貼り合わせ領域の外周端の位置に一致する貼り合わせ基板を作成することができる。このように、第1の層の外周端の位置を貼り合わせ領域の外周端の位置に一致させることにより、分離工程における欠陥の発生を効果的に防止することができるが、更に以下の工程を実施することが好ましい。

【0166】図5Gに示す工程では、図5Fに示す貼り合わせ基板のエッジ部を酸化（例えば、熱酸化）させる。なお、図5Fに示す例は、第1の層13が、単結晶Si層等のSi層であり、第2の層14が、SiO₂層であり、第2の基板20が、単結晶Si基板等のSi基板である場合に関する。

【0167】図5Gに示す例では、第1の層13aの外周部が酸化されることにより、第1の層13aの領域が貼り合わせ基板の内側に向かって縮小する。なお、13bは、酸化工程の後の第1の層、14bは、酸化工程の後の第2の層、20aは、酸化工程の内の第2の基板、20bは、酸化工程により第2の基板20aに形成され

た酸化膜を示している。

【0168】この酸化工程により、第1の層13bの外周部が貼り合わせ領域の外周部よりも内側に位置する貼り合わせ基板が得られる。

【0169】図5Fに示す工程の後は、第1の実施の形態における図3G～図3Jに示す工程を実施することにより、SOI基板等の半導体基板を得ることができる。

【0170】以上のように、この実施の形態によれば、外周部の内側にのみ第1の層を有し、その上に第2の層を有する第1の基板10を作成し、この第1の基板10と第2の基板とを貼り合わせて、第1の層の外周端の位置と貼り合わせ領域の外周端とが一致した貼り合わせ基板を作成することにより、分離工程における欠陥の発生を防止することができる。

【0171】更に、この貼り合わせ基板を酸化させて、第1の層の外周端を貼り合わせ領域の外周端よりも内側に位置させることにより、分離工程における欠陥の発生をより効果的に防止することができる。

【0172】【第4の実施の形態】この実施の形態に係る方法では、第1の層を有する第1の基板10と第2の基板とを貼り合わせて貼り合わせ基板を作成した後に、第1の層の外周端を除去し、これにより、第1の層の外周端が貼り合わせ領域の外周端よりも内側に位置するようとする。

【0173】図6A～図6Gは、本発明の第4の実施の形態に係る半導体基板の製造工程の一部を示す図である。なお、図6A～図6Gには、基板の正面側の一部分のみが示されており、図示の部分は、図1(c)の符号30を付した部分に相当する。

【0174】なお、一般に、単結晶Si基板等の半導体基板は、図6Aに示すように、ベベリング部の内側のミラー平面の部分であっても、研磨だれやエッチングだれにより、外周端から1～数mmの部分は、中央部よりも厚さが薄くなっている。

【0175】図6Aに示す工程では、単結晶Si基板等の半導体基板11を準備する。図6Bに示す工程では、半導体基板11の正面（ミラー面）側に陽極化成法等により多孔質層12を形成する。なお、多孔質層12を形成する領域は、図6Bに示すように半導体基板11のベベリング部の外周端或いは裏面にまで及んでもよいし、これよりも小さな領域としてもよい。

【0176】図6Cに示す工程では、多孔質層12の上に第1の層13を形成する。第1の層13としては、例えば、単結晶Si層、多結晶Si層、多結晶Si層、非晶質Si層等のSi層や、金属膜、化合物半導体層、超伝導層等が好適である。また、第1の層13として、例えばMOSFET等の素子を形成してもよい。

【0177】図6Dに示す工程では、第1の層13の上に第2の層14を形成する。これにより、第1の基板10が得られる。第2の層14としては、SiO₂層等の

絶縁層が好適である。例えば、第1の層13がSi層である場合、第2の層14としては、該Si層の表面を酸化（例えば、熱酸化）させる方法により得られるSiO₂層が好適である。

【0178】図6Eに示す工程では、第1の基板10の正面と第2の基板20の正面とを室温で密着させる。その後、陽極接合、加圧若しくは熱処理又はこれらを組合せた処理により、第1の基板10と第2の基板20との結合を強固にしてもよい。

【0179】第2の基板としては、Si基板、Si基板上に絶縁膜を形成した基板、石英基板等の絶縁性基板、石英基板等の光透過性基板、サファイア基板等が好適であるが、これに限定されず、貼り合わせに供される面が十分に平坦な基板であれば他の基板でもよい。

【0180】なお、例えば、第2の基板20が絶縁性基板である場合や第2の基板20の表面に絶縁膜が形成されている場合においては、第2の層14は、必ずしも必要はないが、第2の層14を形成することにより、活性層となる第1の層13を貼り合わせ界面から遠ざけることができるという利点がある。また、p-nダイオードを形成するためにSi層同士を貼り合せる場合においては、第2の層14は不要である。

【0181】一方、第1の基板10と第2の基板20との貼り合わせの際に、絶縁性の薄板を挟んでもよい。

【0182】図6Fに示す工程では、第2の層14の外周部（例えば、外周端から数mmの部分）をエッチングにより除去すると共に第1の層13を露出させる。14aは、エッチング工程の後の第2の層を示している。

【0183】図6Gに示す工程では、第1の層13の外周部をエッチングにより除去し、エッチング後の第1の層13aの外周端が、第2の層14aの外周端（即ち、貼り合わせ領域の外周端）又はそれよりも内側に位置するようとする。

【0184】以上の工程により、第1の層13の外周端が貼り合わせ領域の外周端又はそれよりも内側に位置する貼り合わせ基板が得られる。

【0185】図6Gに示す工程の後は、第1の実施の形態における図3G～図3Jに示す工程を実施することにより、SOI基板等の半導体基板を得ることができる。

【0186】〔第5の実施の形態〕この実施の形態は、上記の第1、第3及び第4の実施の形態の変形例に関する。より具体的には、この実施の形態は、単結晶Si基板等の半導体基板にイオンを注入することにより、該單

＜陽極化成条件＞

電流密度	: 7 (mA/cm ²)
陽極化成溶液	: HF : H ₂ O : C ₂ H ₅ OH = 1 : 1 : 1
処理時間	: 11 (min)
多孔質Si厚	: 12 (μm)

次いで、多孔質Si層12上にCVD(Chemical Vapor Deposition)法により0.15μm厚の単結晶Si層13を

結晶Si基板の所定の深さの部分に多孔質層（微小空洞層）を形成する。

【0187】この実施の形態は、第1の実施の形態における図3A～図3Dに示す工程、第3の実施の形態における図5A～図5Cに示す工程、第4の実施の形態における図6A～図6Dに示す工程を以下の工程によって置換するものである。

【0188】この実施の形態に係る方法では、まず、単結晶Si基板11を準備し、その表面を酸化することにより第2の層14を形成し、その後、水素イオン、ヘリウマイオン或いは不活性ガスイオン等のいずれかを該単結晶Si基板11に注入し、該単結晶Si基板11の所定の深さの部分に多孔質層（微小空洞層）12を形成する。これにより、第2の層14の下に第1の層13としての単結晶Si層を有し、その下に多孔質層12を有する第1の基板10が形成される。ここで、単結晶Si基板として、例えば、表面にエピタキシャル成長層を有する基板、表面をH₂中で熱処理した基板、或いは、FZ基板を採用してもよい。なお、単結晶Si基板として、表面にエピタキシャル成長層を有する基板を採用した場合、第1の層13の全部又は一部（第2の層14側の部分）は、該エピタキシャル成長層で構成することになる。

【0189】注入するイオンの加速エネルギーは、注入すべき深さに投影飛程が一致するように設定すればよい。イオンの注入量に応じて、形成される微小空洞の大きさや密度は変化するが、注入量は、概ね1×10¹⁵/cm²以上であることが好ましく、1×10¹⁶～1×10¹⁷/cm²であることがより好ましい。イオンを注入する深さ（投影飛程）を深くする場合には、チャネリングイオン注入法を採用してもよい。

【0190】

【実施例】以下、上記の各実施の形態をより具体化した実施例を挙げる。

【0191】〔第1の実施例〕この実施例は、第1の実施の形態の具体例を提供する。

【0192】まず、第1の基板10を形成するための単結晶Si基板11を準備し（図3A）、その単結晶Si基板11に対してHF溶液中で陽極化成処理を施し、表面に多孔質層12を形成した（図3B）。この時の陽極化成の条件は、次の通りである。

【0193】

エピタキシャル成長させた（図3C）。この時の成長条件は以下の通りである。なお、エピタキシャル成長の前

段では、H₂中に多孔質Si層12の表面が晒されるため、表面の孔が埋まり、表面が平坦になる。

【0194】<エピタキシャル成長条件>

ソースガス: SiH₂Cl₂/H₂
ガス流量: 0.5/180 (l/min)
ガス圧力: 80 (Torr)
温度: 950 (°C)
成長速度: 0.30 (μm/min)

次いで、エピタキシャル成長させた単結晶Si層13の表面に熱酸化により100nm厚のSiO₂層14を形成した(図3D)。

【0195】次いで、このSiO₂層14の表面と別に用意したSi基板(第2の基板)20の表面とを密着させ(図3E)、その後、1000°Cで2時間の熱酸化処理を含む熱処理を施した(図3F)。

【0196】この熱酸化処理により、単結晶Si層(第1の層)の外周部が酸化されてその外周端が貼り合わせ基板の内側に後退し、単結晶Si層(第1の層)の外周端が第1の基板10と第2の基板20との貼り合わせ領域の外周端よりも内側に位置する貼り合わせ基板が得られた。

<第1段階の陽極化成条件>

電流密度: 7 (mA/cm²)
陽極化成溶液: HF: H₂O: C₂H₅OH = 1:1:1
処理時間: 11 (min)
多孔質Si厚: 12 (μm)

<第2段階の陽極化成条件>

電流密度: 21 (mA/cm²)
陽極化成溶液: HF: H₂O: C₂H₅OH = 1:1:1
処理時間: 2 (min)
多孔質Si厚: 3 (μm)

次いで、多孔質Si層12上にCVD(Chemical Vapor Deposition)法により0.15μm厚の単結晶Si層13をエピタキシャル成長させた(図3C)。この時の成長条件は以下の通りである。なお、エピタキシャル成長の前段では、H₂中に多孔質Si層12の表面が晒されるため、表面の孔が埋まり、表面が平坦になる。

【0203】<エピタキシャル成長条件>

ソースガス: SiH₂Cl₂/H₂
ガス流量: 0.5/180 (l/min)
ガス圧力: 80 (Torr)
温度: 950 (°C)
成長速度: 0.30 (μm/min)

次いで、エピタキシャル成長させた単結晶Si層13の表面に熱酸化により100nm厚のSiO₂層14を形成した(図3D)。

【0204】次いで、このSiO₂層の表面と別に用意したSi基板(第2の基板)20の表面とを密着させ(図3E)、その後、1000°Cで2時間の熱酸化処理を含む熱処理を施した(図3F)。

【0197】なお、貼り合わせ基板の全周のうち分離を開始する位置のみにおいて、単結晶Si層13aの外周端が第1の基板10と第2の基板20との貼り合わせ領域の外周端よりも内側に位置するように、上記の工程を実施してもよい。

【0198】次いで、図3G～図3Jに示す工程を実施することによりSOI基板が得られた。

【0199】第1の層13として、単結晶Si層を形成する代わりに、例えば、多結晶Si層や非晶質Si層を形成することもできる。

【0200】[第2の実施例] この実施例は、第1の実施の形態の具体例を提供する。ただし、この実施例では、多孔度の異なる2つの多孔質層からなる2層構造の多孔質層12を形成する。

【0201】まず、第1の基板10を形成するための単結晶Si基板11を準備し(図3A)、その単結晶Si基板11に対してHF溶液中で2段階の陽極化成処理を施し、表面に2層構造の多孔質層を形成した(図3B)。この時の陽極化成の条件は、次の通りである。

【0202】

【0205】この熱酸化処理により、単結晶Si層(第1の層)の外周部が酸化されてその外周端が内側に向かって後退し、単結晶Si層(第1の層)13の外周端が第1の基板10と第2の基板20との貼り合わせ領域の外周端よりも内側に位置する貼り合わせ基板が得られた。

【0206】なお、貼り合わせ基板の全周のうち分離を開始する位置のみにおいて、単結晶Si層13aの外周端が第1の基板10と第2の基板20との貼り合わせ領域の外周端よりも内側に位置するように、上記の工程を実施してもよい。

【0207】次いで、図3G～図3Jに示す工程を実施することによりSOI基板が得られた。

【0208】第1の層13として、単結晶Si層を形成する代わりに、例えば、多結晶Si層や非晶質Si層を形成することもできる。

【0209】[第3の実施例] この実施例は、第1の実施の形態の具体例を提供する。ただし、この実施例では、多孔度の異なる複数の多孔質層からなる多層構造の

多孔質層12を形成する。

【0210】まず、第1の基板10を形成するための単結晶Si基板11を準備し(図3A)、その単結晶Si基板11に対してHF溶液中で2段階の陽極化成処理を

〈第1段階の陽極化成条件〉

電流密度	: 7 (mA/cm ²)
陽極化成溶液	: HF : H ₂ O : C ₂ H ₅ OH = 1 : 1 : 1
処理時間	: 11 (min)
多孔質Si厚	: 12 (μm)

〈第2段階の陽極化成条件〉

電流密度	: 21 (mA/cm ²)
陽極化成溶液	: HF : H ₂ O : C ₂ H ₅ OH = 1 : 1 : 1
処理時間	: 2 (min)
多孔質Si厚	: 3 (μm)

〈第3段階の陽極化成条件〉

電流密度	: 7 (mA/cm ²)
陽極化成溶液	: HF : H ₂ O : C ₂ H ₅ OH = 1 : 1 : 1
処理時間	: 2 (min)
多孔質Si厚	: 2 (μm)

次いで、多孔質Si層12上にCVD(Chemical Vapor Deposition)法により0.3μm厚の単結晶Si層13をエピタキシャル成長させた(図3C)。この時の成長条件は以下の通りである。なお、エピタキシャル成長の前段では、H₂中に多孔質Si層12の表面が晒されるため、表面の孔が埋まり、表面が平坦になる。

【0212】〈エピタキシャル成長条件〉

ソースガス	: SiH ₂ Cl ₂ /H ₂
ガス流量	: 0.5/180 (l/min)
ガス圧力	: 80 (Torr)
温度	: 950 (°C)
成長速度	: 0.30 (μm/min)

次いで、エピタキシャル成長させた単結晶Si層13の表面に熱酸化により200nm厚のSiO₂層14を形成した(図3D)。

【0213】次いで、このSiO₂層の表面と別に用意したSi基板(第2の基板)20の表面とを密着させ(図3E)、その後、1000°Cで2時間の熱酸化処理を含む熱処理を施した(図3F)。

【0214】この熱酸化処理により、単結晶Si層(第1の層)の外周部が酸化されてその外周端が内側に向かって後退し、単結晶Si層(第1の層)の外周端が第1

〈第1段階の陽極化成条件〉

電流密度	: 7 (mA/cm ²)
陽極化成溶液	: HF : H ₂ O : C ₂ H ₅ OH = 1 : 1 : 1
処理時間	: 5 (min)
多孔質Si厚	: 5.5 (μm)

〈第2段階の陽極化成条件〉

電流密度	: 30 (mA/cm ²)
陽極化成溶液	: HF : H ₂ O : C ₂ H ₅ OH = 1 : 1 : 1
処理時間	: 1.3 (min)

施し、表面に2層構造の多孔質層を形成した(図3B)。この時の陽極化成の条件は、次の通りである。

【0211】

の基板10と第2の基板20との貼り合わせ領域の外周端よりも内側に位置する貼り合わせ基板が得られた。

【0215】なお、貼り合わせ基板の全周のうち分離を開始する位置のみにおいて、単結晶Si層13aの外周端が第1の基板10と第2の基板20との貼り合わせ領域の外周端よりも内側に位置するように、上記の工程を実施してもよい。

【0216】次いで、図3G～図3Jに示す工程を実施することによりSOI基板が得られた。

【0217】第1の層13として、単結晶Si層を形成する代わりに、例えば、多結晶Si層や非晶質Si層を形成することもできる。

【0218】【第4の実施例】この実施例は、第1の実施の形態の具体例を提供する。ただし、この実施例では、多孔度の異なる2つの多孔質層からなる2層構造の多孔質層12を形成する。

【0219】まず、第1の基板10を形成するための単結晶Si基板11を準備し(図3A)、その単結晶Si基板11に対してHF溶液中で2段階の陽極化成処理を施し、表面に2層構造の多孔質層を形成した(図3B)。この時の陽極化成の条件は、次の通りである。

【0220】

多孔質Si厚 : 3 (μm)

次いで、多孔質Si層12上にCVD(Chemical Vapor Deposition)法により0.15 μm 厚の単結晶Si層13をエピタキシャル成長させた(図3C)。この時の成長条件は以下の通りである。なお、エピタキシャル成長の前段では、H₂中に多孔質Si層12の表面が晒されるため、表面の孔が埋まり、表面が平坦になる。

【0221】<エピタキシャル成長条件>

ソースガス : SiH₂C₁₂/H₂
ガス流量 : 0.5/180 (1/min)
ガス圧力 : 80 (Torr)
温度 : 950 (°C)
成長速度 : 0.30 ($\mu\text{m}/\text{min}$)

次いで、エピタキシャル成長させた単結晶Si層13の表面に熱酸化により100 nm厚のSiO₂層14を形成した(図3D)。

【0222】次いで、このSiO₂層の表面及び別に用意した表面に400 nmの酸化膜を有するSi基板(第2の基板)20の表面に対して、それぞれ窒素プラズマによる表面活性化処理を施した後に水洗し、その後、両基板の表面を密着させた(図3E)。

【0223】次いで、その基板に1000°Cで2時間の熱酸化処理を含む熱処理を施した(図3F)。

【0224】この熱酸化処理により、単結晶Si層(第1の層)の外周部が酸化されてその外周端が内側に向か

<第1段階の陽極化成条件>

電流密度 : 7 (mA/cm^2)
陽極化成溶液 : HF : H₂O : C₂H₅OH = 1 : 1 : 1
処理時間 : 11 (min)
多孔質Si厚 : 12 (μm)

<第2段階の陽極化成条件>

電流密度 : 21 (mA/cm^2)
陽極化成溶液 : HF : H₂O : C₂H₅OH = 1 : 1 : 1
処理時間 : 2 (min)
多孔質Si厚 : 3 (μm)

次いで、多孔質Si層12上にCVD(Chemical Vapor Deposition)法により0.15 μm 厚の単結晶Si層13をエピタキシャル成長させた(図3C)。この時の成長条件は以下の通りである。なお、エピタキシャル成長の前段では、H₂中に多孔質Si層12の表面が晒されるため、表面の孔が埋まり、表面が平坦になる。

【0231】<エピタキシャル成長条件>

ソースガス : SiH₂C₁₂/H₂
ガス流量 : 0.5/180 (1/min)
ガス圧力 : 80 (Torr)
温度 : 950 (°C)
成長速度 : 0.30 ($\mu\text{m}/\text{min}$)

次いで、エピタキシャル成長させた単結晶Si層13の表面に熱酸化により100 nm厚のSiO₂層14を形成した(図3D)。

って後退し、単結晶Si層(第1の層)の外周端が第1の基板10と第2の基板20との貼り合わせ領域の外周端よりも内側に位置する貼り合わせ基板が得られた。

【0225】なお、貼り合わせ基板の全周のうち分離を開始する位置のみにおいて、単結晶Si層13aの外周端が第1の基板10と第2の基板20との貼り合わせ領域の外周端よりも内側に位置するように、上記の工程を実施してもよい。

【0226】次いで、図3G～図3Jに示す工程を実施することによりSOI基板が得られた。

【0227】第1の層13として、単結晶Si層を形成する代わりに、例えば、多結晶Si層や非晶質Si層を形成することもできる。

【0228】[第5の実施例] この実施例は、第1の実施の形態の具体例を提供する。ただし、この実施例では、多孔度の異なる2つの多孔質層からなる2層構造の多孔質層12を形成する。

【0229】まず、第1の基板10を形成するための単結晶Si基板11を準備し(図3A)、その単結晶Si基板11に対してHF溶液中で2段階の陽極化成処理を施し、表面に2層構造の多孔質層を形成した(図3B)。この時の陽極化成の条件は、次の通りである。

【0230】

【0232】次いで、このSiO₂層の表面及び別に用意した石英基板又はガラス基板(第2の基板)20の表面に対して、それぞれ窒素プラズマによる表面活性化処理を施した後に水洗し、その後、両基板の表面を密着させた(図3E)。第2の基板20としては、例えば、サファイア基板等を採用することもできる。

【0233】次いで、その基板に900°Cで360分のパイロ酸化処理を施した(図3F)。

【0234】このパイロ酸化処理により、単結晶Si層(第1の層)の外周部が酸化されてその外周端が内側に向かって後退し、単結晶Si層(第1の層)の外周端が第1の基板10と第2の基板20との貼り合わせ領域の外周端よりも内側に位置する貼り合わせ基板が得られた。

【0235】なお、貼り合わせ基板の全周のうち分離を

開始する位置のみにおいて、単結晶Si層13aの外周端が第1の基板10と第2の基板20との貼り合わせ領域の外周端よりも内側に位置するように、上記の工程を実施してもよい。

【0236】次いで、図3G～図3Jに示す工程を実施することによりSOI基板が得られた。

【0237】第1の層13として、単結晶Si層を形成する代わりに、例えば、多結晶Si層や非晶質Si層を形成することもできる。

【0238】[第6の実施例] この実施例は、第1の実

<第1段階の陽極化成条件>

電流密度	: 7 (mA/cm ²)
陽極化成溶液	: HF : H ₂ O : C ₂ H ₅ OH = 1 : 1 : 1
処理時間	: 11 (min)
多孔質Si厚	: 12 (μm)

<第2段階の陽極化成条件>

電流密度	: 21 (mA/cm ²)
陽極化成溶液	: HF : H ₂ O : C ₂ H ₅ OH = 1 : 1 : 1
処理時間	: 2 (min)
多孔質Si厚	: 3 (μm)

次いで、多孔質Si層12上にCVD(Chemical Vapor Deposition)法により0.1μm厚の単結晶Si層13をエピタキシャル成長させた(図3C)。この時の成長条件は以下の通りである。なお、エピタキシャル成長の前段では、H₂中に多孔質Si層12の表面が晒されるため、表面の孔が埋まり、表面が平坦になる。

【0241】<エピタキシャル成長条件>

ソースガス: SiH ₂ C ₁₂ /H ₂	
ガス流量	: 0.5/180 (l/min)
ガス圧力	: 80 (Torr)
温度	: 950 (°C)
成長速度	: 0.30 (μm/min)

次いで、エピタキシャル成長させた単結晶Si層13の表面に熱酸化により400nm厚のSiO₂層14を形成した(図3D)。

【0242】次いで、このSiO₂層の表面と別に用意した表面に400nmの酸化膜を有するSi基板(第2の基板)20の表面とを密着させ(図3E)、その後、1000°Cで2時間の熱酸化処理を含む熱処理を施した(図3F)。

【0243】この熱酸化処理により、単結晶Si層(第1の層)の外周部が酸化されてその外周端が内側に向かって後退し、単結晶Si層(第1の層)の外周端が第1

<第1段階の陽極化成条件>

電流密度	: 7 (mA/cm ²)
陽極化成溶液	: HF : H ₂ O : C ₂ H ₅ OH = 1 : 1 : 1
処理時間	: 11 (min)
多孔質Si厚	: 12 (μm)

<第2段階の陽極化成条件>

電流密度	: 21 (mA/cm ²)
------	----------------------------

施の形態の具体例を提供する。ただし、この実施例では、多孔度の異なる2つの多孔質層からなる2層構造の多孔質層12を形成する。

【0239】まず、第1の基板10を形成するための単結晶Si基板11を準備し(図3A)、その単結晶Si基板11に対してHF溶液中で2段階の陽極化成処理を施し、表面に2層構造の多孔質層を形成した(図3B)。この時の陽極化成の条件は、次の通りである。

【0240】

の基板10と第2の基板20との貼り合わせ領域の外周端よりも内側に位置する貼り合わせ基板が得られた。

【0244】なお、貼り合わせ基板の全周のうち分離を開始する位置のみにおいて、単結晶Si層13aの外周端が第1の基板10と第2の基板20との貼り合わせ領域の外周端よりも内側に位置するように、上記の工程を実施してもよい。

【0245】次いで、図3G～図3Jに示す工程を実施することによりSOI基板が得られた。

【0246】第1の層13として、単結晶Si層を形成する代わりに、例えば、多結晶Si層や非晶質Si層を形成することもできる。

【0247】[第7の実施例] この実施例は、第2の実施の形態の具体例を提供する。ただし、この実施例では、多孔度の異なる2つの多孔質層からなる2層構造の多孔質層12を形成する。

【0248】まず、第1の基板10を形成するための単結晶Si基板11を準備し(図4A)、その単結晶Si基板11に対してHF溶液中で2段階の陽極化成処理を施し、表面に2層構造の多孔質層を形成した(図4B)。この時の陽極化成の条件は、次の通りである。

【0249】

陽極化成溶液 : HF : H₂O : C₂H₅OH = 1 : 1 : 1
 処理時間 : 2 (min)
 多孔質Si厚 : 3 (μm)

次いで、多孔質Si層12上にCVD(Chemical Vapor Deposition)法により0.15μm厚の単結晶Si層13をエピタキシャル成長させた。この時の成長条件は以下の通りである。なお、エピタキシャル成長の前段では、H₂中に多孔質Si層12の表面が晒されるため、表面の孔が埋まり、表面が平坦になる。

【0250】<エピタキシャル成長条件>

ソースガス : SiH₂C_{1.2}/H₂
 ガス流量 : 0.5 / 180 (l/min)
 ガス圧力 : 80 (Torr)
 温度 : 950 (°C)
 成長速度 : 0.30 (μm/min)

次いで、エピタキシャル成長させた単結晶Si層13の上に、外周部分（外周端から約2mmの部分）を露出させ、その内側の部分を覆うレジスト膜を形成し、このレジスト膜をマスクとしてRIE法により、単結晶Si層13の外周部（外周端から2mmの部分）を除去した（図4C）。

【0251】次いで、単結晶Si層13及び露出した多孔質層12の表面に、熱酸化により100nm厚のSiO₂層14を形成した（図4D）。

【0252】次いで、このSiO₂層14の表面と別に用意したSi基板（第2の基板）20の表面とを密着させ、その後、1100°Cで1時間の熱処理を施した（図4E）。この際に、基板を酸化させてもよい。

【0253】以上の処理により、単結晶Si層13が第

<第1段階の陽極化成条件>

電流密度 : 7 (mA/cm²)
 陽極化成溶液 : HF : H₂O : C₂H₅OH = 1 : 1 : 1
 処理時間 : 11 (min)
 多孔質Si厚 : 12 (μm)

<第2段階の陽極化成条件>

電流密度 : 21 (mA/cm²)
 陽極化成溶液 : HF : H₂O : C₂H₅OH = 1 : 1 : 1
 処理時間 : 2 (min)
 多孔質Si厚 : 3 (μm)

次いで、多孔質Si層12上にMBE法或いは液相成長法により、0.15μm厚の単結晶Si層13を成長させた（図4C）。この際、シャッター或いは溶液のるつぼによって多孔質層12の外周部（外周端から約2mmの部分）の一部の部分を覆うことにより、当該部分には単結晶Si層を成長させなかった。

【0260】次いで、単結晶Si層13及び露出した多孔質層12の表面に、熱酸化により100nm厚のSiO₂層14を形成した（図4D）。

【0261】次いで、このSiO₂層14の表面と別に用意したSi基板（第2の基板）20の表面とを密着さ

1の基板10と第2の基板20との貼り合わせ領域の外周部よりも内側に位置する貼り合わせ基板が得られた。

【0254】なお、貼り合わせ基板の全周のうち分離を開始する位置のみにおいて、単結晶Si層13の外周部が第1の基板10と第2の基板20との貼り合わせ領域の外周部よりも内側に位置するように、上記の工程を実施してもよい。

【0255】次いで、図3G～図3Jに示す工程を実施することによりSOI基板が得られた。

【0256】第1の層13として、単結晶Si層を形成する代わりに、例えば、Ge層、SiC層、化合物半導体（例えば、GaAs、InP、GaN等）層、金属層等を形成することもできる。この場合、SiO₂層14は、CVD法等により形成することができる。ただし、SiO₂層14を介して第1の基板と第2の基板を貼り合せる必要は必ずしもない。

【0257】[第8の実施例] この実施例は、第2の実施の形態の具体例を提供する。ただし、この実施例では、多孔度の異なる2つの多孔質層からなる2層構造の多孔質層12を形成する。

【0258】まず、第1の基板10を形成するための単結晶Si基板11を準備し（図4A）、その単結晶Si基板11に対してHF溶液中で2段階の陽極化成処理を施し、表面に2層構造の多孔質層を形成した（図4B）。この時の陽極化成の条件は、次の通りである。

【0259】

せ、その後、1100°Cで1時間の熱処理を施した（図4E）。この際に、基板を酸化させてもよい。

【0262】以上の処理により、単結晶Si層13の外周端が第1の基板10と第2の基板20との貼り合わせ領域の外周端よりも内側に位置する貼り合わせ基板が得られた。

【0263】次いで、図3G～図3Jに示す工程を実施することによりSOI基板が得られた。

【0264】[第9の実施例] この実施例は、第3の実施の形態の具体例を提供する。ただし、この実施例では、多孔度の異なる2つの多孔質層からなる2層構造の

多孔質層12を形成する。

【0265】まず、第1の基板10を形成するための単結晶Si基板11を準備し(図5A)、その単結晶Si基板11に対してHF溶液中で2段階の陽極化成処理を

〈第1段階の陽極化成条件〉

電流密度	: 7 (mA/cm ²)
陽極化成溶液	: HF : H ₂ O : C ₂ H ₅ OH = 1 : 1 : 1
処理時間	: 11 (min)
多孔質Si厚	: 12 (μm)

〈第2段階の陽極化成条件〉

電流密度	: 21 (mA/cm ²)
陽極化成溶液	: HF : H ₂ O : C ₂ H ₅ OH = 1 : 1 : 1
処理時間	: 2 (min)

次いで、多孔質Si層12上にCVD(Chemical Vapor Deposition)法により0.15μm厚の単結晶Si層13をエピタキシャル成長させた(図5C)。この時の成長条件は以下の通りである。なお、エピタキシャル成長の前段では、H₂中に多孔質Si層12の表面が晒されるため、表面の孔が埋まり、表面が平坦になる。

【0267】〈エピタキシャル成長条件〉

ソースガス: SiH ₂ C ₁₂ /H ₂	
ガス流量	: 0.5/180 (l/min)
ガス圧力	: 80 (Torr)
温度	: 950 (°C)
成長速度	: 0.30 (μm/min)

次いで、エピタキシャル成長させた単結晶Si層13の表面に熱酸化により100nm厚のSiO₂層14を形成した(図5C)。

【0268】次いで、SiO₂層14の上に、外周部(外周端から約2mmの部分)を露出させ、その内側の部分を覆うレジスト膜を形成し、このレジスト膜をマスクパターンとして、バッファード弗酸等のエッティング液によりSiO₂層14の外周部を除去した(図5D)。

【0269】次いで、パタニングされたSiO₂層14aをマスクパターンとして、その下の単結晶Si層13をRIE法等によりエッティングして、単結晶Si層13をパタニングした(図5E)。なお、上記のレジスト膜は、SiO₂層14をパタニングした後に除去してもよいし、単結晶Si層13をパタニングした後に除去してもよい。

【0270】次いで、このSiO₂層14aの表面と別

〈第1段階の陽極化成条件〉

電流密度	: 7 (mA/cm ²)
陽極化成溶液	: HF : H ₂ O : C ₂ H ₅ OH = 1 : 1 : 1
処理時間	: 11 (min)

〈第2段階の陽極化成条件〉

電流密度	: 21 (mA/cm ²)
陽極化成溶液	: HF : H ₂ O : C ₂ H ₅ OH = 1 : 1 : 1

施し、表面に2層構造の多孔質層を形成した(図5B)。この時の陽極化成の条件は、次の通りである。

【0266】

用意したSi基板(第2の基板)20の表面とを密着させ(図5F)、その後、1000°Cで2時間の熱酸化処理を含む熱処理を施した(図5G)。

【0271】この熱酸化処理により、単結晶Si層(第1の層)の外周部が酸化されてその外周端が内側に向かって後退し、単結晶Si層(第1の層)の外周端が第1の基板10と第2の基板20との貼り合わせ領域の外周端よりも内側に位置する貼り合わせ基板が得られた。

【0272】なお、貼り合わせ基板の全周のうち分離を開始する位置のみにおいて、単結晶Si層13aの外周端が第1の基板10と第2の基板20との貼り合わせ領域の外周端よりも内側に位置するように、上記の工程を実施してもよい。

【0273】次いで、図3G～図3Jに示す工程を実施することによりSOI基板が得られた。

【0274】第1の層13として、単結晶Si層を形成する代わりに、例えば、多結晶Si層や非晶質Si層を形成することもできる。

【0275】[第10の実施例]この実施例は、第4の実施の形態の具体例を提供する。ただし、この実施例では、多孔度の異なる2つの多孔質層からなる2層構造の多孔質層12を形成する。

【0276】まず、第1の基板10を形成するための単結晶Si基板11を準備し(図6A)、その単結晶Si基板11に対してHF溶液中で2段階の陽極化成処理を施し、表面に2層構造の多孔質層を形成した(図6B)。この時の陽極化成の条件は、次の通りである。

【0277】

処理時間 : 2 (min)
 多孔質Si厚 : 3 (μm)

次いで、多孔質Si層12上にCVD(Chemical Vapor Deposition)法により0.15 μm 厚の単結晶Si層13をエピタキシャル成長させた(図6C)。この時の成長条件は以下の通りである。なお、エピタキシャル成長の前段では、H₂中に多孔質Si層12の表面が晒されるため、表面の孔が埋まり、表面が平坦になる。

【0278】<エピタキシャル成長条件>

ソースガス : SiH₂Cl₂/H₂
 ガス流量 : 0.5/180 (1/min)
 ガス圧力 : 80 (Torr)
 温度 : 950 (°C)
 成長速度 : 0.30 ($\mu\text{m}/\text{min}$)

次いで、エピタキシャル成長させた単結晶Si層13の表面に熱酸化により100 nm厚のSiO₂層14を形成した(図6D)。

【0279】次いで、このSiO₂層14の表面と別に用意したSi基板(第2の基板)20の表面とを密着させ、その後、1100°Cで1時間の熱処理を施した(図6E)。この際に、貼り合わせた基板を酸化させてもよい。

【0280】次いで、貼り合わせた基板の外周部のSiO₂層14をバッファード弗酸等のエッティング液で除去した(図6F)。

【0281】次いで、単結晶Si層14の外周部を弗酸、硝酸、酢酸の混合液(混合比は、例えば1:100:100)等でエッティングし、これにより、単結晶Si層の外周部が、第1の基板10と第2の基板20との貼り合わせ領域の外周部よりも内側に位置するようにした(図6G)。

【0282】なお、貼り合わせ基板の全周のうち分離を開始する位置のみにおいて、単結晶Si層13aの外周端が第1の基板10と第2の基板20との貼り合わせ領域の外周端よりも内側に位置するように、上記の工程を実施してもよい。

【0283】次いで、図3G～図3Jに示す工程を実施することによりSOI基板が得られた。

【0284】第1の層13として、単結晶Si層を形成する代わりに、例えば、Ge層、SiC層、化合物半導体(例えば、GaAs、InP、GaN等)層、金属層等を形成することもできる。この場合、SiO₂層14は、CVD法等により形成することができる。ただし、SiO₂層14を介して第1の基板と第2の基板を貼り合せる必要は必ずしもない。

【0285】[第11の実施例] この実施例は、第5の実施の形態の具体例を提供する。

【0286】まず、第1の基板10を形成するための単結晶Si基板11を準備し、その表面にCVD(Chemical Vapor Deposition)法により0.4 μm 厚の単結晶Si層

13をエピタキシャル成長させた。この時の成長条件は以下の通りである。

【0287】<エピタキシャル成長条件>

ソースガス : SiH₂Cl₂/H₂
 ガス流量 : 0.5/180 (1/min)
 ガス圧力 : 80 (Torr)
 温度 : 950 (°C)
 成長速度 : 0.30 ($\mu\text{m}/\text{min}$)

次いで、エピタキシャル成長させた単結晶Si層13の表面に熱酸化により200 nm厚のSiO₂層14を形成した。次いで、この基板に対して、表面のSiO₂層を通して40 keVで $5 \times 10^{16} \text{ cm}^{-2}$ の水素イオンを注入して、単結晶Si基板11の所定の深さの部分に多孔質層(微小空洞層)12を形成した。これにより、例えば図5Cに示すような基板が得られる。このイオン注入工程は、例えば、ビームによるイオン注入装置やプラズマによる一括注入プラズマ装置を利用して実施することができる。

【0288】次いで、SiO₂層14の上に、外周部(外周端から約2 mmの部分)を露出させ、その内側の部分を覆うレジスト膜を形成し、このレジスト膜をマスクパターンとして、バッファード弗酸等のエッティング液によりSiO₂層14の外周部を除去した(図5D)。

【0289】次いで、パタニングされたSiO₂層14aをマスクパターンとして、その下の単結晶Si層13をR1E法等によりエッティングして、単結晶Si層13をパタニングした(図5E)。なお、上記のレジスト膜は、SiO₂層14をパタニングした後に除去してもよいし、単結晶Si層13をパタニングした後に除去してもよい。

【0290】次いで、このSiO₂層14の表面及び別に用意した表面に400 nmの酸化膜を有するSi基板(第2の基板)20の表面に対して、それぞれ窒素プラズマによる表面活性化処理を施した後に水洗し、その後、両基板の表面を密着させた(図5F)。その後、200°C程度で熱処理を実施して貼り合せを強固にしてもよい。

【0291】以上の処理により、単結晶Si層(第1の層)の外周端が第1の基板10と第2の基板20との貼り合わせ領域の外周端と一致した貼り合わせ基板が得られた。

【0292】なお、貼り合わせ基板の全周のうち分離を開始する位置のみにおいて、単結晶Si層の外周端が第1の基板10と第2の基板20との貼り合わせ領域の外周端よりも内側に位置するように、上記の工程を実施してもよい。

【0293】次いで、図3G～図3Jに示す工程を実施することによりSOI基板が得られた。

【0294】[第12の実施例] この実施例は、第5の実施の形態の具体例を提供する。

【0295】まず、第1の基板10を形成するための単結晶Si層11を準備し、その表面に熱酸化により200nm厚のSiO₂層14を形成した。

【0296】次いで、この基板に対して、表面のSiO₂層14を通して40keVで $5 \times 10^{16} \text{ cm}^{-2}$ の水素イオンを注入して、単結晶Si基板11の所定の深さの部分に多孔質層（微小空洞層）12を形成した。これにより、多孔質層12とSiO₂との間には、単結晶Si層13が形成され、例えば図6Dに示すような第1の基板10が得られる。このイオン注入工程は、例えば、ビームによるイオン注入装置やプラズマによる一括注入プラズマ装置を利用して実施することができる。

【0297】次いで、このSiO₂層14の表面及び別に用意した表面に200nmの酸化膜を有するSi基板（第2の基板）20の表面に対して、それぞれ窒素プラズマによる表面活性化処理を施した後に水洗し、その後、両基板の表面を密着させた（図6E）。その後、200°C程度で熱処理を実施して貼り合せを強固にしてもよい。

【0298】次いで、貼り合わせた基板の外周部のSiO₂層14をバッファード弗酸等のエッティング液で除去した（図6F）。

【0299】次いで、単結晶Si層14の外周部を弗酸、硝酸、酢酸の混合液（混合比は、例えば1:100:100）等でエッティングし、これにより、単結晶Si層の外周部が、第1の基板10と第2の基板20との貼り合わせ領域の外周部よりも内側に位置するようにした（図6G）。

【0300】なお、貼り合わせ基板の全周のうち分離を開始する位置のみにおいて、単結晶Si層13aの外周端が第1の基板10と第2の基板20との貼り合わせ領域の外周端よりも内側に位置するように、上記の工程を実施してもよい。

【0301】次いで、図3G～図3Jに示す工程を実施することによりSOI基板が得られた。

【0302】[第13の実施例] この実施例は、第1～第12の実施例に従って作成される貼り合わせ基板を分離してSOI基板等の半導体基板を作成する工程の具体例を提供するものであり、図3G～図3Jに示す工程に相当する。

【0303】まず、貼り合わせ基板を回転させながら、該貼り合わせ基板の外周部の隙間に向けて、例えば0.2mm径に絞られた流体（例えば、水等の液体、窒素や空気等の気体）を噴射し、該流体により貼り合わせ基板を2枚の基板に分離した（図3G）。この流体として水を利用する方法は、ウォータージェット法と呼ばれる。貼り合わせ基板の分離は、例えば、図3Gの矢印Dに示すように、貼り合わせ界面から始まり、SiO₂層を基板

の内側方向に向かって斜めに横切って多孔質層12に至り、以降は、多孔質層12の部分のみで分離が進行した。

【0304】この時、SiO₂層と単結晶Si層との界面に沿って分離が進行することなく、また、単結晶Si層を大幅に破壊することもなく、分離工程による欠陥（単結晶Si層の領域の大幅な減少）は発生しなかった。ただし、分離は、SiO₂層を基板の内側方向に向かって斜めに横切って進行するため、単結晶Si層の面積は、許容可能な範囲内で、若干だけ減少する。

【0305】なお、貼り合わせ基板の全周のうち分離を開始する位置（以下、分離開始位置）のみにおいて、単結晶Si層の外周部が第1の基板10と第2の基板20との貼り合わせ領域の外周部よりも内側に位置する貼り合わせ基板（以下、分離開始位置が指定された基板）についても、上記と同様に良好な結果が得られた。ただし、この場合は、分離工程の開始時は、分離開始位置に向けて流体を噴射する必要がある。

【0306】この分離工程により、図3Hに模式的に示すような基板が得られた。分離工程（図3G）に次いで、第2の基板20a側に残った多孔質層12aを49%弗酸と30%過酸化水素水と水との混合液によって選択的にエッティングした（図3I）。多孔質層12aの下層の単結晶Si層13aは、エッティングストップ層として機能する。非多孔質単結晶Siのエッティング速度は多孔質Siに対して極めて低く、上記の混合液による多孔質Si（多孔質Si層12a）と非多孔質Si（単結晶Si層13a）とのエッティングの選択比は、10⁵以上である。従って、このエッティング工程による単結晶Si層13aの膜厚の減少は、実用上無視することができる。

【0307】次いで、基板の外周部に残っているSiO₂膜を除去した（図3J）。ただし、この工程は、必ずしも実施する必要はない。

【0308】以上の工程により形成されたSOI基板（図3J）の単結晶Si層の膜厚を面内の全面にわたって100点について測定した結果、膜厚のばらつきは±3%以内であった。

【0309】更に、この基板に対して、水素中において1100°Cで1時間の熱処理を施した後に、表面粗さを原子間力顕微鏡で評価した結果、50μm角の領域で、平均自乗粗さは、大凡0.2nmであった。これは通常市販されているSi基板と同等の表面粗さである。

【0310】また、透過型電子顕微鏡による断面観察の結果、単結晶Si層には、結晶欠陥が導入されておらず、良好な結晶性を有することが確認された。

【0311】分離された2枚の基板のうち、第1の基板側については、その表面に残った多孔質Si層を49%弗酸と30%過酸化水素水と水との混合液によって選択的にエッティングした。多孔質層12aの下層の単結晶Si

i層13aは、エッチングストップ層として機能する。この工程により得られた基板は、第1の基板10を形成するための単結晶Si基板11又は第2の基板20として利用することができた。

【0312】ここで、分離後の第1の基板側を再利用する前に、これに水素中において1100°Cで1時間の熱処理を施して、微小孔に起因する表面荒れ（マイクロラフネス）を回復してもよい。ただし、分離後の第1の基板側を、第1の基板を形成するための基板11として再利用する場合には、エピタキシャル成長工程の前段の水素中でのプリベーク工程において、多孔質層の表面の孔のシールと同時に表面が平坦化されるため、上記のマイクロラフネスの平坦化工程は、必ずしも必要ではない。なお、水素中での熱処理の代わりに、表面タッチポリッシュによりマイクロラフネスを平坦化してもよい。

【0313】多孔質Si層の除去には、上記の混合液のみならず、Siのエッチング用の他のエッチング液（例えば、弗酸、硝酸、酢酸）を利用することができる。また、多孔質Si層は、研磨によって除去することもできる。

【0314】再利用する基板に第1の層として多結晶Si層や非晶質Si層を形成する場合には、上記のような平坦化工程を実施する必要は必ずしもない。また、第1の層としてSi層以外の層を形成する場合には、貼り合わせ基板を分離した後、第1の基板側の表面を研磨又はエッチングし、そのまま再利用することもできる。

【0315】【第14の実施例】第13の実施例における流体による分離工程を、例えば、次のような分離工程によって置換することもできる。

【0316】（1）楔による分離工程

貼り合わせ基板の外周部の隙間（分離開始位置が指定された基板については、分離開始位置）に、例えば樹脂製の薄い楔を緩やかに挿入することにより、該貼り合わせ基板は、2枚の基板に分離される。

【0317】この時、SiO₂層と単結晶Si層との界面に沿って分離が進行することではなく、分離工程による欠陥（単結晶Si層の領域の大幅な減少）が発生しないことが確認されている。ただし、分離は、SiO₂層を基板の内側方向に向かって斜めに横切って進行するため、単結晶Si層の面積は、許容可能な範囲内で、若干だけ減少する。

【0318】（2）引き剥がしによる分離工程

貼り合わせ基板の一方の面を固定し、フレキシブルテープ等を利用して他方の面を該貼り合わせ基板の軸方向に引っ張ることにより、該貼り合わせ基板を多孔質層で分離する。なお、分離開始位置が指定された基板については、分離開始位置から分離を開始する。

【0319】（3）せん断応力による分離工程

貼り合わせ基板の一方の面を固定し、他方の面を該貼り合わせ基板の面方向に移動させるように該他方の面に力

を印加することにより、せん断応力によって該貼り合わせ基板を多孔質層で分離する。

【0320】（4）超音波による分離工程

貼り合わせ基板に超音波を供給し、該超音波により多孔質層を破壊することにより、該貼り合わせ基板を多孔質層で分離する。

【0321】【その他】上記の実施例において、多孔質層上に第1の層を成長させる方法としては、CVD法の他、例えば、MBE法、スパッタ法、液相成長法等の種々の方法を採用することができる。

【0322】また、上記の実施例において、多孔質Si層の選択的なエッチングに使用するエッチング液としては、49%弗酸と30%過酸化水素水と水との混合液の他、例えば、

- a) 弗酸と水との混合液、
- b) 弗酸と水との混合液にアルコール及び過酸化水素水の少なくとも一方を添加した混合液、
- c) バッファード弗酸、
- d) バッファード弗酸にアルコール及び過酸化水素水の少なくとも一方を添加した混合液、又は、
- e) 弗酸、硝酸及び酢酸の混合液、

等の種々のエッチング液を採用することができる。

【0323】

【発明の効果】本発明によれば、貼り合わせ基板を分離する際の欠陥の発生を防止することができる。

【図面の簡単な説明】

【図1】SOI基板の基本的な製造方法を概略的に説明するための図である。

【図2】図1に示す製造方法の問題点を説明するための図である。

【図3A】本発明の第1の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図3B】本発明の第1の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図3C】本発明の第1の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図3D】本発明の第1の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図3E】本発明の第1の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図3F】本発明の第1の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図3G】本発明の第1の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図3H】本発明の第1の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図3I】本発明の第1の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図3J】本発明の第1の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図4 A】本発明の第2の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図4 B】本発明の第2の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図4 C】本発明の第2の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図4 D】本発明の第2の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図4 E】本発明の第2の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図5 A】本発明の第3の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図5 B】本発明の第3の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図5 C】本発明の第3の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図5 D】本発明の第3の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図5 E】本発明の第3の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図5 F】本発明の第3の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図5 G】本発明の第3の実施の形態に係る半導体基板

の製造工程の一部を示す図である。

【図6 A】本発明の第4の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図6 B】本発明の第4の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図6 C】本発明の第4の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図6 D】本発明の第4の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図6 E】本発明の第4の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図6 F】本発明の第4の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【図6 G】本発明の第4の実施の形態に係る半導体基板の製造工程の一部を示す図である。

【符号の説明】

10 第1の基板

11 半導体基板

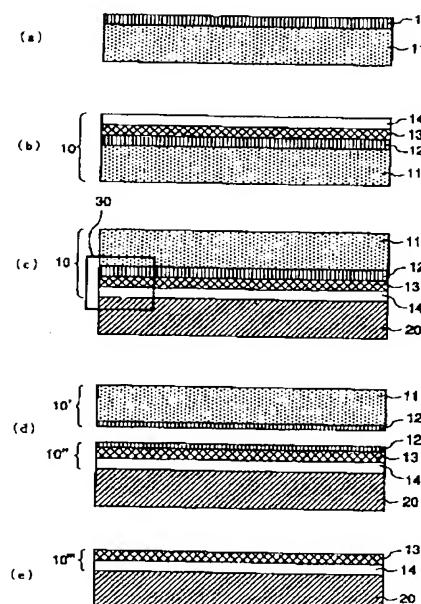
12 多孔質層

13 第1の層

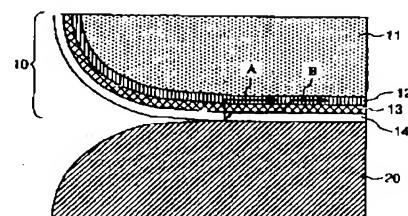
14 第2の層

20 第2の基板

【図1】



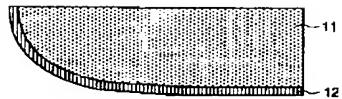
【図2】



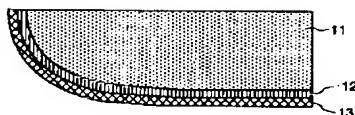
【図3 A】



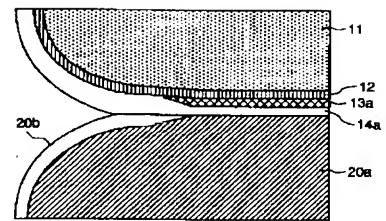
【図3B】



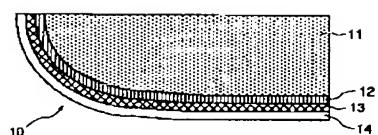
【図3C】



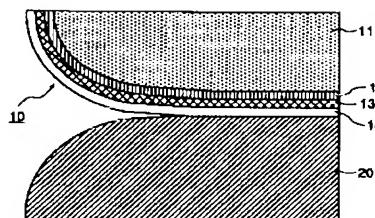
【図3F】



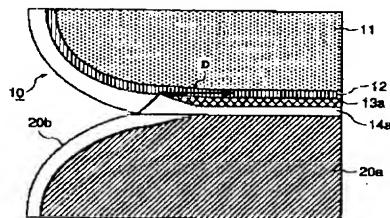
【図3D】



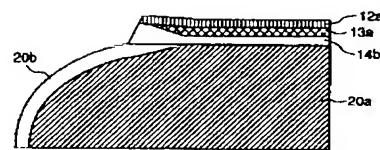
【図3E】



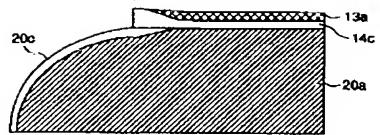
【図3G】



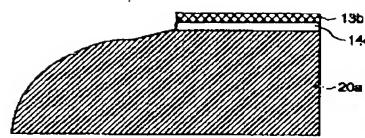
【図3H】



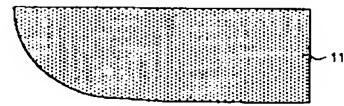
【図3 I】



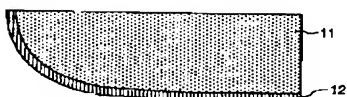
【図3 J】



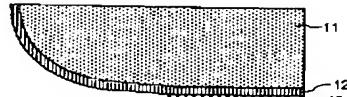
【図4 A】



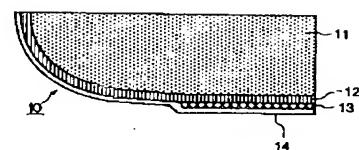
【図4 B】



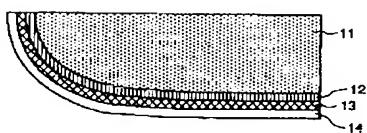
【図4 C】



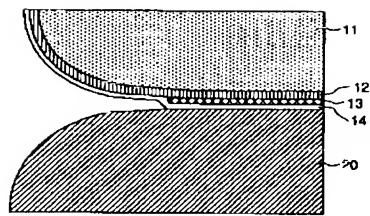
【図4 D】



【図6 D】



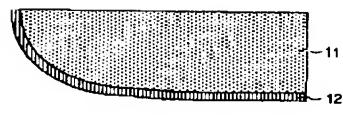
【図4E】



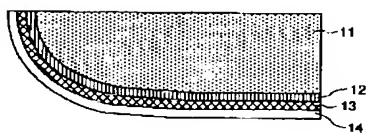
【図5A】



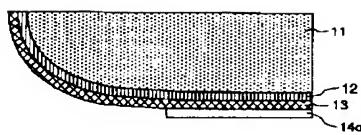
【図5B】



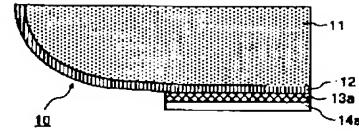
【図5C】



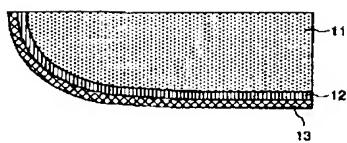
【図5D】



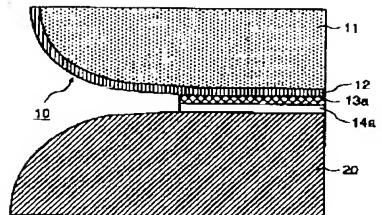
【図5E】



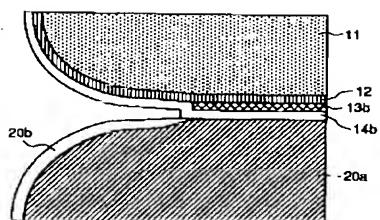
【図6C】



【図5F】



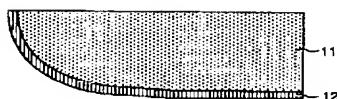
【図5G】



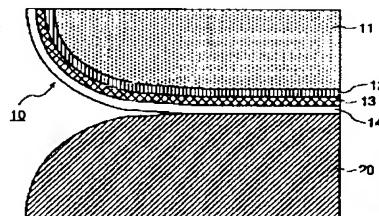
【図6A】



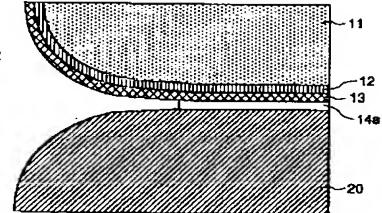
【図6B】



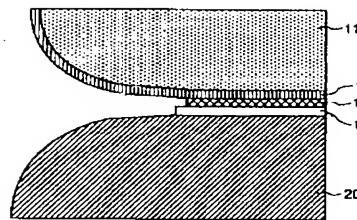
【図6E】



【図6F】



【図6G】



フロントページの続き

(72)発明者 柳田 一隆

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

Fターム(参考) 5F043 AA09 AA32 AA40 BB01 BB22

DD01 DD30 FF07 GG10